Pedagogická fakulta Jihočeské univerzity
Katedra informatiky

MIKROPROCESORY

Použití jazyka HTML pro tvorbu technické dokumentace

diplomová práce

Diplomant:
Dušan Kafka

Vedoucí diplomové práce:
ing. Michal Šerý

České Budějovice 2000

Prohlášení

Prohlašuji, že jsem diplomovou práci vypracoval samostatně a použil jen pramenů, které cituji a uvádím v přiložené bibliografii.

V Českých Budějovicích dne 27. 4. 2000

Podpis :

Poděkování

Děkuji Ing. Michalovi Šerému za odborné vedení diplomové práce a za poskytnutou pomoc.

V Českých Budějovicích dne 27. 4. 2000

Podpis :

OBSAH:

ÚVOD **8**

ČÁST I HISTORIE A DĚLENÍ PROCESORŮ **9**

1 ZÁKLADNÍ POJMY **9**

1.1 Aritmeticko-logická jednotka 9
1.2 Registry 9
1.3 Přejmenovávání registrů 9
1.4 Časování 9
1.5 Přerušení 10
1.6 Řadič (Controller) 10
1.7 P- rating 10
1.8 ROP (RISC Operation) 11
1.9 Ukončení instrukce mimo pořadí 11
1.10 Zavedení instrukce mimo pořadí 11
1.11 Předpovídání větvení - branch prediction 11
1.12 Spekulativní výpočet 12
1.13 MMX (MultiMedia eXtention) 12
1.14 Přesahování (overlapping) 12
1.15 Pipelining (řetězení) 12
1.16 Skalární procesor 13
1.17 Superskalární procesor 14
1.18 Von Neumannova architektura 14

2 HISTORIE POČÍTAČŮ **17**

2.1 Předchůdci počítačů 17
2.1.1 Abakus 17
2.1.2 Logaritmické tabulky 17
2.1.3 Ozubená kola 17
2.1.4 Neumannovo schéma 17
2.2 Generace počítačů 17
2.2.1 Nultá 17
2.2.2 První 18
2.2.3 Druhá (Tranzistorové) 18
2.2.4 Třetí (Integrované obvody) 18
2.2.5 Čtvrtá (až do dnes) 18

3 JAK SE VYRÁBÍ NOVÝ PROCESOR **19**

4 ROZDĚLENÍ PROCESORŮ 22
4.1 První způsob dělení procesorů 22
4.1.1 CPU (Central Processor Unit) 22
4.1.2 MCU (Micro Controller Unit) 22
4.1.3 DSP – Králové matematiky 24
4.2 Druhý způsob dělení procesorů 25
4.2.1 Procesory RISC (Reduced Instruction Set Computer) 26
4.2.2 Procesory CISC (Complex Instruction Set Computer) 27
ČÁST II CISKOVÉ PROCESORY 28
1 PROCESORY FIRMY INTEL 28
1.1 Mikroprocesor 8088, 8086 28
1.2 Mikroprocesory 80186 a 80188 29
1.3 Mikroprocesor 80286 29
1.4 Mikroprocesor 80386DX 31
1.5 Mikroprocesor 80386 SX 35
1.6 Mikroprocesor 80486DX 35
1.7 Pentium 37
1.8 Pentium MMX 42
1.9 PentiumPro 42
1.10 Pentium II 49
1.11 Intel Xeon 51
1.12 Pentium III 52
1.13 Intel Mobile Petium III 55
1.14 Intel Celeron 55
2 PROCESORY FIRMY AMD 57
2.1 Procesor Am486 57
2.2 Procesor Am5x86 57
2.3 Procesor AMD-K5 57
2.4 Procesor AMD-K6 61
2.5 Mikroprocesor AMD K6-2 65
2.6 Mobile K6-2 a K6-2-P 66
2.7 K6-III 66
2.8 K6-III-P 66
2.9 K6-2+ 66
2.10 K7 Athlon 68
2.11 Spitfire 73

3 PROCESORY FIREM CYRIX A IBM ... 74
3.1 Cyrix 486 ... 74
3.2 Cyrix 5x86 ... 74
3.3 Procesor 6x86 ... 74
3.4 Procesor Cyrix/IBM 6x86MX (M2) ... 77
4 VIA CYRIX III ... 78
5 CRUSOE ... 80
ČÁST III RISC ... 87
1 ALPHA ... 87
1.1 ALPHA 21064A ... 87
1.2 ALPHA 21164PC ... 87
1.3 ALPHA 21064 ... 87
1.4 ALPHA 21264 ... 88
2 MIPS ... 89
2.1 MIPS R3000 ... 89
2.2 MIPS R4000 ... 89
2.3 MIPS R4400 ... 89
2.4 MIPS R4600 ... 89
2.5 MIPS R8000 ... 89
2.6 MIPS R10000 ... 90
3 POWERPC ... 91
3.1 PowerPC 601 ... 91
3.2 PowerPC 602 ... 91
3.3 PowerPC 603 ... 91
3.4 PowerPC 604 ... 92
3.5 PowerPC 750 ... 93
3.6 PowerPC 615 ... 93
3.7 Power PC 620 ... 93
4 PROCESORY SPARC ... 95
4.1 UltraSparc ... 95
4.2 UltraSparc II STP 1031 ... 95
5 IBM ... 97
5.1 RISC System 6000 ... 97
6 MOTOROLA ... 97
6.1 Motorola 88000 ... 97
ČÁST IV OSTATNÍ ČÁSTI ... 98

1 NUMERICKÉ KOPROCESORY 98
2 VÝHLED DO BUDOUCNA 100
2.1 Intel Willamette 100
2.2 Intel Merced (Itanium) 101
2.3 AMD K8 102
3 CACHE 103
ČÁST V MĚŘENÍ VÝKONU CPU 111
ZÁVĚR: 119
SEZNAM POUŽITÉ LITERATURY: 120

Úvod

Procesor je základní stavební kámen počítače. Jedná se o integrovaný obvod zajišťující základní funkce počítače a tak vlastně tvoří „srdce“ a „mozek“ celého počítače. Významnou měrou stále určuje výkon PC.

Jeho základ tvoří integrovaný obvod, jehož vývoj se začal prudce zrychlovat okolo roku 1965. Už tehdy byla vyřčena věta, dnes známá jako Moorův zákon, která říká, že se počet tranzistorů umístěných na čipu zdvojnásobí každých 18 – 24 měsíců. To se daří dodržovat až dodnes.

Chtěl jsem tím poukázat na ohromný vývoj, jaký v této oblasti panuje. Žádná jiná počítačová komponenta se nevyvíjí tak rychle, jako právě procesor. Je však otázkou, kde je hranice, která nepůjde překročit. Myslím tím hlavně fyzikální vlastnosti, jako je například rychlost světla. Další otázkou je to, zda budou potřeba stále rychlejší procesory.

Nekladl jsem si za cíl do detailů popsat vnitřní architekturu jednotlivých procesorů. Spíše jsem se zaměřil na ucelený přehled všech nejpoužívanějších CPU, jejich základní vlastnosti, funkce, značení a charakteristiky. Procesory jsou děleny podle firem, které je vyrábějí od nejstarších procesorů k nejnovějším. Dále jsou zde popsány i některé ostatní časti počítače, jako jsou koprocesory a cache. Na závěr jsem jen pro hrubou představu změřil výkon několika procesorů, aby čtenáři získali alespoň orientační představu o výkonu jednotlivých CPU.

Doufám, že po přečtení této diplomové práce získáte ucelený názor na tak fascinující část počítače jako procesor a pochopí jeho důležitost a nenahraditelnost.

Část I Historie a dělení procesorů

1 Základní pojmy

1.1 Aritmeticko-logická jednotka

Jednotka procesoru, která provádí aritmetické (např. sčítání, násobení, dělení) a logické (např. posuvy, logické AND a OR) operace.

1.2 Registry

Velmi rychlé paměťové místo malé kapacity (jednotky bytů) umístěné většinou uvnitř procesoru počítače. Registry je možno rozdělit na registry univerzální a registry s určitým pevně stanoveným významem. Registry univerzální jsou určeny pro uchovávání operandů, mezivýsledků i výsledků podobně jako paměť počítače. Jejich výhodou oproti paměti mimo procesor je to, že informace v nich uložené jsou přístupné prakticky okamžitě bez nutnosti přístupu mimo procesor. Druhou skupinou registrů jsou registry s určitým pevně stanoveným významem. Každý z těchto registrů realizuje určitou specifickou funkci a změnou obsahu těchto registrů je možno ovlivňovat činnost procesoru.

1.3 Přejmenovávání registrů

Technika omezující nebo odstraňující závislosti následujících instrukcí, které pracují se stejnými registry procesoru. Během zpracování instrukcí je k dispozici sada dočasných registrů, které zastupují skutečné registry procesoru. Používají-li například dvě následující instrukce stejný registr, je pro každou z nich přidělen dočasný registr s kopií původního registru. Když druhá instrukce změní hodnotu registru, je původní hodnota stále ještě v dočasném registru pro potřeby první instrukce, takže druhá instrukce může být vykonávána mimo pořadí před první instrukcí.

1.4 Časování

Procesor je synchronní zařízení. To znamená, že ke generování jednotlivých řídících signálů i k dalším činnostem nedochází nahodile, ale v souvislosti s tzv. hodinovým signálem, označovaným obvykle CLK (Clock). Ten je generován vnějšími obvody a je

rozváděn obvykle k více jednotkám počítače. Díky tomuto hodinovému signálu je zabezpečeno správné časování veškeré komunikace mezi jednotlivými zařízeními i činností probíhajících uvnitř procesoru.

Zpracování jedné instrukce programu obvykle trvá několik period hodinového signálu. Počet period hodin potřebný pro provedení celé instrukce bývá označován jako instrukční cyklus. Pro různé instrukce bývá různě dlouhý. Navíc může být uměle prodloužen pomocí vkládání čekacích taktů do tzv. cyklu sběrnice.

1.5 Přerušení

Je signál, který k mikroprocesoru vyšle některé hardwarové zařízení nebo program. Vysílatel signálu se tak snaží zabrat mikroprocesor sám pro sebe. Klasickým příkladem je stisk klávesy klávesnice. Mikroprocesor musí přerušit svoji činnost a povel dán klávesou zpracovat.

Procesory používají vektorový signál přerušení. To znamená, že každé přerušení je identifikováno svým číslem. Na určitém místě v operační paměti je uložena tabulka vektorů přerušení. Vektor přerušení, identifikovaný právě číslem přerušení, ukazuje na adresu v paměti, kde je uložen obslužný podprogram přerušení. N-té přerušení tedy spustí (přes N-tý vektor přerušení) N-tý program, který zpracuje požadavek zdroje přerušení. Před přechodem na vektor přerušení uloží mikroprocesor svůj momentální stav do speciálního registru zásobníku. To mu umožní vrátit se po zpracování přerušení k původní činnosti.

Pro zpracování přerušení je určen speciální obvod-řadič přerušení (interrupt controller). Ten určuje, jaké přerušení bude obslouženo.

1.6 Řadič (Controller)

Zařízení převádějící příkazy v symbolické formě (instrukce) na posloupnost signálů ovládajících připojené zařízení. Jedná se tedy o zařízení, které řídí činnost jiného zařízení.

1.7 P- rating

Určuje frekvenci stejně výkonného procesoru Intel (používala firma Cyrix, nyní Via).

1.8 ROP (RISC Operation)

Jednoduchá „vnitřní instrukce“, která se používá pro vykonání části instrukce x86 v procesoru AMD K5 a výše. U PentiaPro a výše se tyto „vnitřní instrukce“ nazývají mikrooperace.

1.9 Ukončení instrukce mimo pořadí

V procesorech, kde se dodržuje zavádění instrukcí v pořadí (in-order issue) a dokončení instrukcí v pořadí (in-order completion) každé pozastavení činnosti v jednom kanále způsobí zastavení všech kanálů.

Při ukončení instrukce mimo pořadí (out-of-order completion) můžou při pozastavení činnosti jednoho kanálu pracovat zbývající kanály bez problémů (pokud následující instrukce není závislá na výsledku předešlé instrukce). To znamená že pořadí dokončených instrukcí je jiné než pořadí na vstupu.

1.10 Zavedení instrukce mimo pořadí

To je ještě dokonalejší systém, umožňující zavedení nové instrukce z vyrovnávací paměti instrukcí mezi stádiem dekódování a vykonání instrukcí v instrukčním kanále. Některé procesory používají centrální instrukční okno, ve kterém se shromažďují všechny neprovedené dekódované instrukce. Jestliže procesor zjistí, že instrukce v pořadí nemůže být vykonána, vyšle místo ní jinou, která měla být provedena později.

1.11 Předpovídání větvení - branch prediction

Při pipeliningu je současně rozpracováno mnoho instrukcí. Při podmíněném větvení se zahození těchto výsledků setkává s potížemi a časovým zpožděním. Proto na základě předchozích větvení nebo pravděpodobnosti procesor určuje (odhaduje) dopředu, kterou větví program bude pokračovat. Při chybě odhadu se musí rozpracování zahodit.

Např. Intel a Cyrix mají 256 prvkovou vyrovnávací paměť předešlých větvení, ze které počítá odhad větvení.

K5 přidává informaci o posledním větvení ke každé instrukci v instrukční Cache.

1.12 Spekulativní výpočet

Zpracování instrukcí následujících po větvení ještě před zjištěním skutečného výsledku větvení. Byl-li odhad výsledku větvení správný, postoupí rozpracované instrukce dále, jinak se musí anulova0t.

1.13 MMX (MultiMedia eXtention)

Rozšíření procesoru o 57 nových instrukcí pro rychlé zpracování signálů. Technologie MMX využívá techniky **SIMD** (Single Instruction Multiple Data), která dovoluje zpracovat mnoho informací během jediné instrukce. Možnosti MMX technologie využívají především aplikace pro práci s:

- 2D / 3D grafikou
- zvukem
- rozpoznáváním řeči
- videem (kompresí dat)

1.14 Přesahování (overlapping)

spočívá v tom, že vykonávání některých instrukcí se v procesoru dokončuje v době náležející již další instrukci.

1.15 Pipelining (řetězení)

lze chápat jako přesahování v procesoru, který se skládá z řady sériově řazených subprocesorů.

Stádia pěti stupňového pipeliningu:

1. **Výběr** instrukce, přenos instrukce s instrukční cache do předvýběrových vyrovnávacích pamětí.
2. **Dekódování** - procesor hledá a vybírá kód v předvýběrových vyrovnávacích pamětech a konvertuje jej do interního instrukčního formátu procesoru.
3. **Operandy -** hodnoty pro operce jsou vybrány z příslušných registrů nebo datové cache pro data
4. **Vykonání operace**
5. **Zpětný zápis** výsledků provedené operace do registrů nebo cache či paměti

Klasické zpracování instrukcí

	T1	T2	T3	T4	T5	T6	T7	T8	T9	T10
PF	I1					I2				
D1		I1					I2			
D2			I1					I2		
EX				I1					I2	
WB					I1					I2

Pipeline zpracování instrukcí

	T1	T2	T3	T4	T5	T6	T7	T8	T9	T10
PF	I1	I2	I3	I4	I5	I6	I7	I8	I9	I10
D1		I1	I2	I3	I4	I5	I6	I7	I8	I9
D2			I1	I2	I3	I4	I5	I6	I7	I8
EX				I1	I2	I3	I4	I5	I6	I7
WB					I1	I2	I3	I4	I5	I6

Jednotlivé sloupce značí takt procesoru a v řádcích jsou vždy uvedeny instrukce v patřičné fázi zpracování. Při klasickém zpracování se tak zpracuje v prvních pěti taktech kompletně první instrukce. V dalších pěti taktech se pak kompletně zpracuje druhá instrukce. Při zřetězeném zpracování je v prvních pěti taktech opět zcela zpracována první instrukce, ale další instrukce jsou již rozpracovány, takže v každém dalším taktu je pak zpracována vždy jedna další instrukce. V optimálním případě tedy po deseti taktech je úplně zpracováno šest instrukcí.

Při zřetězeném zpracování však vyvstává problém v okamžiku, kdy některá z instrukcí způsobí skok. V tomto okamžiku je nutné provést vyprázdnění fronty. Předzpracované instrukce totiž vůbec nebudou prováděny, protože chod programu bude pokračovat na místě, kam byl uskutečněn skok. Od tohoto místa se tedy začne opět plnit fronta instrukcí.

1.16 Skalární procesor

Procesor s jedním procesorem se nazývá skalární procesor (např. procesory x86).

1.17 Superskalární procesor

Procesor s více kanály pro zpracování instrukcí se nazývá superskalární procesor.

Díky této technice je možné, aby procesor během jednoho taktu zpracoval více než jednu instrukci.

Superskalární zpracování (dvě fronty)

	T1	**T2**	**T3**	**T4**	**T5**	**T6**	**T7**	**T8**	**T9**	**T10**
PF	I1	I3	I5	I7	I9	I11	I13	I15	I17	I19
	I2	I4	I6	I8	I10	I12	I14	I16	I18	I20
D1		I1	I3	I5	I7	I9	I11	I13	I15	I17
		I2	I4	I6	I8	I10	I12	I14	I16	I18
D2			I1	I3	I5	I7	I9	I11	I13	I15
			I2	I4	I6	I8	I10	I12	I14	I16
EX				I1	I3	I5	I7	I9	I11	I13
				I2	I4	I6	I8	I10	I12	I14
WB						I1	I3	I5	I7	I9
						I2	I4	I6	I8	I10

Během prvních pěti taktů jsou provedeny dvě instrukce a při každém dalším taktu se opět dokončí další dvě instrukce.

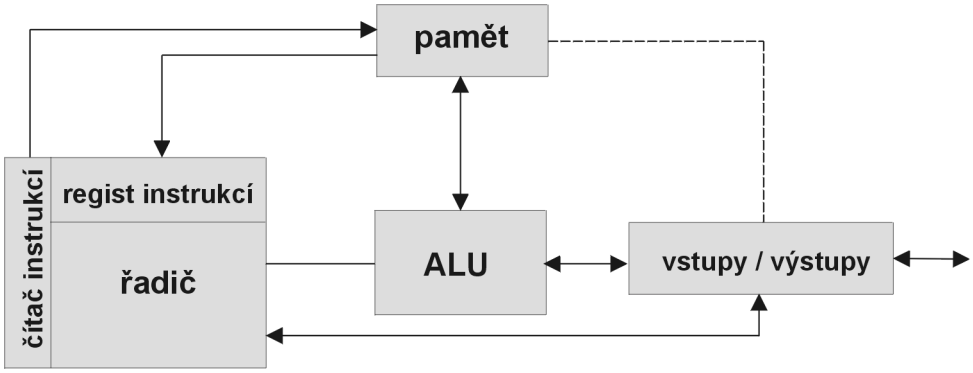
1.18 Von Neumannova architektura

Von Neumannovo schéma bylo navrženo roku 1945 americkým matematikem (narozeným v Maďarsku) Johnem von Neumannem jako model samočinného počítače. Tento model s jistými výjimkami zůstal zachován dodnes.

Procesor má k dispozici jen jednu množinu adres a preference adres pro uložení programu je v moci programátora. Tím vzniká možnost zpracovávat instrukce jako data a tak modifikovat program.

Při daném rozsahu paměti ji lze použít jak pro dlouhé programy s malým objemem dat, tak i pro krátké programy s hromadnými daty.

Podle von Neumannovy koncepce se staví téměř všechny větší počítače, také mikroprocesory a mikropočítače.



Von Neumanovo schéma

Podle von Neumannova schématu se počítač skládá z pěti hlavních částí:

1. **Operační paměť:** Slouží k uchování zpracovávaného programu, dat a výsledků výpočtu.
2. **ALU:** Arithmetic-logic Unit (aritmeticko logická jednotka): Jednotka provádějící veškeré aritmetické výpočty a logické operace. Obsahuje sčítačky, násobičky (pro aritmetické výpočty) a komparátory (pro porovnávání).
3. **Řadič:** Řídící jednotka, která řídí činnost všech částí počítače. Toto řízení je prováděné pomocí řídících signálů, která jsou zasílány jednotlivým modulům. Reakce na řídící signály, stavy jednotlivých modulů jsou naopak zasílány zpět řadiči pomocí stavových hlášení.
4. **Vstupní zařízení:** Zařízení určená pro vstup programu a dat.
5. **Výstupní zařízení:** Zařízení určená pro výstup výsledků, které program zpracoval.

Princip činnosti počítače podle von Neumanna:

Do operační paměti se pomocí vstupních zařízení přes ALU umístí program, který bude provádět výpočet.

Stejným způsobem se do operační paměti umístí data, která bude program zpracovávat.

Proběhne vlastní výpočet, jehož jednotlivé kroky provádí ALU. Tato jednotka je v průběhu výpočtu spolu s ostatními moduly řízena řadičem počítače. Mezivýsledky výpočtu jsou ukládány do operační paměti.

Po skončení výpočtu jsou výsledky poslány přes ALU na výstupní zařízení.

Základní odlišnosti dnešních počítačů od von Neumannova schémata:

1. Počítač může pracovat i s více než jedním procesorem.
2. Počítač může na rozdíl od von Neumannova schématu pracovat nejen pouze v tzv. diskrétním režimu.

3. Podle von Neumannova schématu počítač pracuje vždy jen s jedním programem. To vede k neefektivnímu využití strojového času. Je tedy obvyklé, že počítač zpracovává paralelně více programů zároveň – tzv. multitasking.
4. V dnešních počítačích existují navíc vstupní / výstupní zařízení (I/O devices), která umožňují jak vstup, tak výstup dat (programu).
5. Program se do paměti nemusí zavést celý, ale je možné zavést pouze jeho část a ostatní části zavádět až v případě potřeby.

Harwardská koncepce na rozdíl od von Neumannovy předpokládá existenci dvou oddělených pamětí. V první paměti jsou uloženy programy a ve druhé jsou uložena proměnná data.

2 Historie počítačů

2.1 Předchůdci počítačů

2.1.1 Abakus

Vznikl přibližně před 5 000 lety. Používal se ve starém Řecku a Římě. Byla to dřevěná, nebo hliněná destička, do nichž se vkládaly kamínky – „calculli“ - odtud název kalkulačka.

2.1.2 Logaritmické tabulky

Počátek 17. stol jsou v Anglii sestaveny první logaritmické tabulky, po nichž následovalo i první logaritmické pravítko.

2.1.3 Ozubená kola

Objevují se i první počítací stroje, pracují na principu ozubených kol, které se nám v pozměněné podobě zachovaly dodnes - mechanické kalkulačky a staré pokladny.

2.1.4 Neumannovo schéma

V čtyřicátých letech 20. století vypracoval vědec John von Neumann novou koncepci počítače tzv. Neumannovo schéma. Počítač se podle něj skládá z několika základních funkčních částí. Program se ukládá do paměti a vykonává se postupně tak, jak byl uložen. Mimo jiné Neumann v počátcích prosadil dvojkovou soustavu.

2.2 Generace počítačů

2.2.1 Nultá

Historie vývoje samočinných počítačů se začíná odvíjet počátkem 40. let 20. století. V roce 1941 konstruuje v Německu Konrad Zuse malý reléový samočinný počítač **Zuse Z4**. Nedaří se mu však vzbudit pozornost armády, proto tento počítač upadá v zapomnění a je později při jednom z náletů zničen.

Rovněž ve Spojených státech se pracovalo na takovémto zařízení. V roce 1943 uvedl Howard Aiken z harwardské univerzity do provozu svůj reléový počítač **Mark 1** sestrojený za podpory firmy IBM. Tento počítač byl pravděpodobně použit k výpočtům první atomové bomby.

2.2.2 První

V roce 1944 byl na univerzitě v Pensylvánii uveden do provozu první elektronkový počítač **ENIAC** (Electronic Numerical Integrator And Computer). Eniac byl obrovské monstrum, jeho rozměry byl asi takovéto: 18 000 elektronek, 10 000 kondenzátorů, 7 000 odporů, 1 300 relé, byl chlazen dvěma leteckými motory, zabíral plochu asi 150 m^2 a vážil okolo 40 tun. Byl neskutečně pomalý.

O rok později v roce 1945 sestavil a uvedl do provozu John von Neumann do provozu počítač **MANIAC** (Mathematical Analyser Numerical Iintegrator And Computer). Tento počítač byl mimo jiné použit k vývoji vodíkové bomby. První sériovým počítačem byl v roce 1951 elektronkový **Univac** firmy Remington.

2.2.3 Druhá (Tranzistorové)

Použití feritových pamětí, objevily se první programovací jazyky.

2.2.4 Třetí (Integrované obvody)

První integrované obvody (10-100 tranzistorů na čip). V souvislosti s integrací došlo k podstatnému zmenšení počítačů, objevila se polovodičová paměť.

2.2.5 Čtvrtá (až do dnes)

Začala v roce 1981 a trvá do dnešních dnů. Používá se **10^{18} tranzistorů na čip**. Obsahují integrované obvody střední a velké integrace, malé rozměry, velké rychlost a velká kapacita. Odtud název mikroprocesor.

Shrnutí:

Rok	Název
1941	Zuse Z4
1943	Mark 1
1944	Eniac
1945	Maniac
1951	Univac
1971	Mikroprocesor

3 Jak se vyrábí nový procesor

Procesor je v podstatě polovodičová součástka tvořená především křemíkovou destičkou s několika příměsemi. Až doposud se používal hlavně hliník (Al), ale v současnosti se již objevují procesory (firmy IBM, AMD v továrně v Drážďanech) s mědí jako příměsí (měď je totiž mnohem lepší vodič el. proudu než hliník).

Ještě předtím, než se vývojář vůbec dotkne křemíku, je vytvořen softwarový model procesoru označovaný jako RTL (Register Transfer Logic). Aby bylo testování co nejjednodušší, pracuje tento softwarový model mnohem pomaleji než skutečný procesor, zhruba na frekvenci 2 až 5 Hz. Souběžně s tím je testován další softwarový model, zvaný Arcsim, který na rozdíl od RTL pracuje v hladině špičkového tzv. high-end výkonu. Zvláštní testy jsou pak prováděny na velkém hardwarovém modelu. Takovýto model čipu je opravdu velký – často zabere celou místnost. Této fázi testování se říká emulace (emulation). Procesor je testován na skutečných sálových počítačích (mainframech), jejichž cena se pohybuje v řádu statisíců dolarů.

Pokaždé, když je v procesoru objevena chyba, je celý model revidován, chyba je odstraněna a nakonec dostane opravený procesor nové označení v podobě kódu složeného ze dvou písmen. Jedná – li se o velký zásah do modelu, je modifikovaný procesor označen i změněným písmenem (např. C4). Zásahy jsou prováděny speciálně vytvořeným iontovým paprskem, který umožňuje ve spojení s elektronovým mikroskopem měnit obvodové spoje, které jsou často velmi tenké. Proces testování dále pokračuje testováním kompatibility na spoustě hardwarových zařízení a tisících softwarových aplikací. Je totiž velice důležité, aby procesor uměl pracovat se stávajícím hardwarem na trhu a aby dokázal ovládat i současný software. V průběhu těchto testů je již hotový procesor montován do normálních počítačů a je testován zpravidla bez zásahu techniků. Procesory jsou samozřejmě podrobeny i různým výkonnostním testům benchmarkovými programy.

Tím však testování nekončí. I po zahájení výroby jsou procesory podrobeny celé sérii testů trvajících 10 – 20 sekund. Přesto se však i v prvních sériích procesorů objevují chyby. Např. v procesoru Pentium II bylo objeveno více než 50 chyb (2 % všech procesorů Pentia III se nevypíná). Tyto problémy se však týkaly okrajových oblastí, a tak se na běžném používání procesoru téměř neprojevily. Neznamená to, že by firmy investovaly málo peněz, úsilí a času do vývoje nového procesoru, ale spíše je to důkazem toho, že vyrobit kvalitní procesor je velice obtížná a náročná věc. Vezmeme – li např. procesor, který obsahuje 5 milionů tranzistorů. Pokud bychom chtěli prověřit všechny možné stavy procesoru, museli bychom vyzkoušet $2^{5\ \text{milionu}}$ (dvě na 5 milionu) kombinací. Kromě toho musí procesor správně komunikovat se svým okolím, tzn. pamětí, základní

deskou a periferiemi. Tolik tedy k jednotlivým fázím výroby procesoru. V následující části si povíme, jak je vlastně možné na plochu několika čtverečních centimetrů umístit několik milionů tranzistorů. Bude řeč o technologii 0,25 µm a jí podobných.

Technologie 0,25 µm

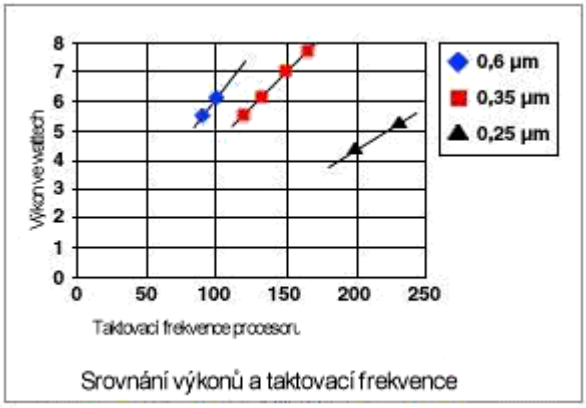
12. dubna 1997 oznámila firma Intel uvedení nové výrobní technologie - 0,25 µm. Zpočátku byly touto technologií vyráběny procesory Pentium s MMX technologií na frekvenci 200 a 233 MHz určené pro mobilní počítače. Největší přínos této technologie v oblasti mobilní techniky představuje výrazné snížení spotřeby elektrické energie. Ale postupujme pěkně popořádku.

V čem to spočívá?

Ještě v padesátých letech zabral počítač (výkonově srovnatelný s 286) celou místnost a jeho energetická spotřeba byla téměř neuvěřitelná. Většina spínacích obvodů tohoto počítače byla tvořena vakuovými elektronkami a drátěnými spoji. V šedesátých letech vyvinuli inženýři postup, díky němuž se podařilo tyto obvody integrovat na malé křemíkové destičky. Tím zmizely elektronky propojené dráty a vše se přesunulo do oblasti mikroskopických součástek.

Polovodičová destička představuje jeden krystal křemíku, který se stává cílenými zásahy na některých místech vodivý a na některých nevodivý. Takto vzniklé „Mikro-počítače“ byly oproti svým předchůdcům nejenom astronomicky rychlé, ale nespotřebovávaly prakticky žádnou elektřinu. To byl okamžik zrození polovodičového průmyslu. U polovodičové techniky byl od počátku kladen obrovský důraz na miniaturizaci elektronických součástí. Zmenšování součástek tak ovlivnilo rozložení spínacích obvodů na křemíkové destičce.

Tím se také velmi zkrátila dráha, kterou musí urazit letící elektron. Z toho také plyne, že se elektrony mohou pohybovat mnohem rychleji mezi jednotlivými funkčními prvky a to umožňuje vyrábět rychlejší procesory. Dalším efektem vyvolaným zmenšováním používaných struktur je to, že není třeba tak vysoké napájecí napětí k ovlivnění jednotlivých spínacích obvodů a tím pádem se může snížit příkon (a z toho plynoucí tvorba tepla).

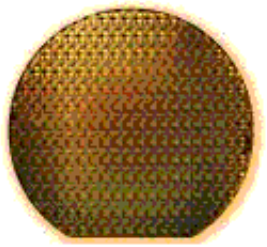


Od objevení polovodičové technologie se celý průmysl snaží vyrobit co nejmenší součástky tak, aby bylo dosaženo maximálního výkonu. Postup výroby procesorů je zpravidla

nazýván podle nejmenšího prvku, který je možno vyrobit. To znamená, že pomocí stávající technologie 0,25 μm lze vyrobit prvky, které měří pouze 0,25 μm. Pro představu: lidský vlas má tloušťku přibližně 80 μm. Procesor 386 byl vyroben technologií 1,5 μm. To znamená, že firma Intel během několika let zmenšila své procesory šestkrát!

V čem spočívají výhody této technologie pro mobilní počítače?

Taktovací frekvence a tím i výkon procesoru se zavedením technologie 0,25 μm zvýšil téměř o 60 procent oproti 0,35 μm. Také díky této technologii je možno vyrábět procesory s napájecím napětím nižším než 2 V. Proto současné procesory spotřebovávají mnohem méně elektřiny, i když jejich výkon roste. Výrobci mobilních počítačů tak mohou tuto výhodu použít k tomu, že své počítače vybavují většími displeji, aniž by bylo třeba zvyšovat kapacitu baterie. Další výhoda spočívá ve velikosti čipu. Polovodičové mikročipy jsou vyráběny na kulatých křemíkových destičkách, ze kterých je později vyříznut čtvercový čip. Procesory vyrobené technologií 0,25 μm jsou při stejném výkonu přibližně o polovinu menší než procesory vyrobené technologií 0,35 μm. Díky tomu lze na křemíkovou destičku o stejné velikosti umístit mnohem více tranzistorů.



Díky technologii 0,25mikr. lze na destičce integrovat více tranzistorů

V současné době jsou procesory INTEL Pentium III vyráběny 0,18 μm technologií. Firma AMD bude používat 0,18 μm technologie až v nové továrně v Drážďanech. Je však otázkou, kam až může toto zmenšování dojít. Už dnes je jisté, že jednou vývojáři narazí na fyzikální hranice a co pak?

4 Rozdělení procesorů

Procesory se mohou dělit podle různých hledisek do různých skupin. Tyto skupiny se samozřejmě dají dále rozdělit do různých podskupin podle mnoha dalších hledisek, jako je například architektura procesoru, koncepce apod. Některé skupiny se vzájemně překrývají jako jsou Risc a Cisc architektury.

4.1 První způsob dělení procesorů

4.1.1 CPU (Central Processor Unit)

Procesory, jak je známe asi všichni, jsou srdcem našich osobních počítačů, ať PC, nebo MACů, a také jakýchkoliv jiných stolních počítačů. Jejich hlavní vlastnosti jsou:

- **otevřenost procesoru**, který neobsahuje žádná periferní zařízení přímo v sobě (na jednom čipu) a všechny periferie musí být připojeny externě. Například paměť, vstupně výstupní zařízení (sériové porty, paralelní porty, USB, zvuková karta apod.).
- **vysoká cena:** oproti ostatním typům procesorů se cena řídí se především trhem.
- **vysoký výkon:** v podstatě jsou CPU svým výkonem daleko před jednočipovými procesory, dnes velmi často i před DSP.
- **vysoká spotřeba a ztrátový výkon:** tyto procesory prostě „topí“, zahřívají se a ve velké většině případů potřebují chlazení. Má to souvislost především s výpočetním výkonem procesoru a jeho vysokým odběrem stovky miliampérů až jednotky ampéru.
- **rozměry procesoru:** díky svojí otevřenosti a možnosti rozšíření má CPU vyvedeno velké množství signálů, které velmi často přesahují číslo sto. To dělá velké nároky na rozměry pouzdra.

Jednoduše lze CPU v dnešní době přirovnat k neotesánkům, jejichž výkon je sice úctyhodný, ale zaplatíme za něj velkou spotřebou, cenou, velikostí a teplotou. Navíc pro sestavení funkčního zapojení s takovým procesorem je nutné použít mnoho dalších externích součástek.

4.1.2 MCU (Micro Controller Unit)

Označení této skupiny procesorů (mikrořadičů) se velmi liší, každý výrobce si své „brouky“ nazývá podle svého, a tak se občas nastává trochu zmatek. Tento typ procesorů se používá téměř kdekoliv: počínaje osobním počítačem, kde zcela určitě sedí jeden

mikrořadič ve vaší klávesnici a zajišťuje posílaní znaků z klávesnice do počítače nebo ve vašem automobilu, kde řídí vstřikování paliva nebo ovládá bezpečnostní systém vozu. Jednoduše mikrořadiče najdete v dnešní době všude tam, kde je nějaká elektronika.

Mezi hlavní výhody mikrořadičů patří:

- **nízká cena:** nejlevnější mikrořadiče se dají dnes pořídit i do 50 Kč, ty nejdražší (ačkoliv je to cena jen orientační a může se samozřejmě měnit) se pohybují okolo 1 000 Kč.
- **nízká spotřeba:** v klidovém režimu se může pohybovat v jednotkách mikroampérů, za chodu se dá dosahovat nejnižší spotřeby zhruba okolo 500 mikroampérů.
- **rozměry procesoru:** dnes existuje procesor, který má pouhých osm vývodů (DIP8), ze kterých je šest vývodů možné použít pro ovládání a snímání různých zařízení (zbylé dva jsou použity pro napájení).
- **malá možnost rozšíření:** mikrořadiče obsahují na čipu periferie (paralelní porty, sériové porty, porty USB, AD a DA převodníky), a tak většinou nemají další možnost rozšíření.

Jak je vidět z předchozího výčtu, dá se o mikrořadičích konstatovat, že jsou malé, ale šikovné. U mikrořadičů hraje hlavní roli cena, které je podřízeno všechno. Jen pro zajímavost: v automobilovém průmyslu v USA platí nepsané pravidlo, že cena jakéhokoliv samostatného prvku, který je součástí elektronické výbavy vozidla, nesmí překročit cenu pěti dolarů. Jinak by výroba nebyla efektivní. Jak je vidět, mikrořadiče tuto podmínku splňují bez problémů. Nízká cena mikrořadiče je dosahována také tím, že výrobci vyrábí mnoho variant lišících se periferiemi umístěnými na čipu. Lze tak koupit například mikrořadič s jedním, dvěma, nebo třemi paralelními porty. Díky tomu může člověk, který navrhuje zapojení s mikrořadičem, vybrat přesně obvod, který mu vyhovuje a využít jej na maximum. Nemusí platit za něco, co nepoužije.

Možná jste ve výčtu charakteristických vlastností mikrořadičů hledali údaje o výkonu. Maximální výkon není ale pro většinu mikrořadičů tím nejdůležitějším faktorem. Opět zde platí, že existuje několik rychlostních variant jednoho typu procesoru. Tady je nutné podotknout, že existuje zásadní vztah mezi rychlostí procesoru a jeho spotřebou.

Například spokojíme-li se s výkonem asi osmi tisíc operací za sekundu, bude procesor při napájecím napětí 2 V odebírat proud asi 20 μA. To je dostatečný výkon pro hlídaní i sta dveří, a dáte-li k tomuto zařízení jako zdroj napájení dvě baterie AAA, vybijí se vám do deseti let spíše samovolným vybíjením, než kvůli proudu odebíranému mikrořadičem. Naopak při výkonu pěti milionů operací za sekundu (5 MIPS) je spotřeba asi 2 mA.

Spotřeba sice asi 30 krát vyšší, ale stále více než dobrá. Pokud si myslíte, že výkon pěti MIPS je „zatraceně“ malý v porovnání s dnešními výkony CPU (řada Pentium, PowerPC apod.) uvědomte si, že na mikrořadičích neběží většinou žádné operační systémy, nezobrazují se data na monitoru ve vysokých rozlišeních a ve velkém počtu barev. Jde jen a pouze o surový výkon.

4.1.3 DSP – Králové matematiky

Určitým kompromisem mezi klasickým CPU a mikrořadičem je signálový procesor DSP (Digital Signal Procesor). Jak jeho název napovídá, je určen především ke zpracování signálů.

Jeho výhody:

- Vysoká rychlost zpracování číslicových dat.
- Velmi rychlé matematické operace jak v plovoucí, tak v pevné desetinné čárce. Současná hodnota, kterou dosahují kvalitní DSP, se pohybuje kolem 60 MFLOPS (60 milionů operací v plovoucí desetinné čárce za sekundu) a výše.
- Schopnost zpracovávat velké objemy dat.
- Signálový procesor je již speciální variantou, kde ostatní hlediska jako spotřeba, cena atd. závisí na aplikaci, ve které je procesor použit. Pomocí DSP se dosahuje ve vašich SoundBlasterech a podobných zvukových kartách efektů se zvukem. Stejně tak může DSP zajišťovat kompresi zvuku, obrazu apod. Dále se používají u HDD u čtecích hlav jako D/A převodník, jež tím pádem umožňuje mnohem rychlejší čtení, vyšší integraci.
- Součástí každého procesoru DSP by měl být rychlý analogově/digitální a digitálně/analogový převodník. Signálové procesory jsou velmi náročné na přístupovou rychlost pamětí, které používají. Je to právě proto, že se pracuje s velkým objemem dat, na něž se navíc aplikují funkce jako je rychlá Fourierova transformace (např. spektrální analyzátor).

Opět zjednodušeně řečeno slouží signálový procesor k tomu, aby data, která do něj vstoupí, zpracoval a co nejrychleji opět předal na výstup. Pro představu, jaké objemy dat musí zpracovávat takový procesor, si uveďme například formát MP3 se standardním datovým tokem 128 KB/s!

Každý má své království

Oblast použití jednotlivých typů procesorů je značně rozmanitá a každý z typů má své místo, kde je králem. U CPU je to výkon, u MCU je hlediskem mnoho požadavků, které

se objevují při návrhu zařízení (teplota, spotřeba, rychlost, cena, odběr…) a nakonec u DSP je to jeho matematický výkon.

4.2 Druhý způsob dělení procesorů

Mezi návrháři počítačů byl dlouho všeobecně rozšířen názor, že čím bohatší instrukční sada procesoru, tím výkonnější počítač. Výrobci procesorů se pak doslova předháněli v tom, kolik složitých instrukcí přidají do svých procesorů. Doufali, že tyto složité instrukce budou programátory bezezbytku využívány a že se postupně nějaký jazyk vysoké úrovně stane přímo strojovým kódem. Předpoklad výrobců mohl snad být oprávněný v době, kdy se programy psaly pouze v assembleru a byly zároveň šity na míru konkrétním procesorům.

Později však rozsáhlé testy velkého vzorku typických programů prokázaly, že ačkoli návrhář často vynaloží značné úsilí při řešení problému, jak implementovat universálně přijatelnou instrukci, pouze několik málo tvůrců překladačů ji dokáže využít. V praxi je totiž nakonec využívána jen jistá podmnožina instrukčního souboru a adresných režimů procesoru. Nejvíce je využívána skupina jednoduchých instrukcí, zatímco ostatní relativně složitější instrukce se používají jen málo. Procesor, obsahující veliké množství složitých instrukcí a způsobů adresování, je více komplikovaný a v důsledku toho i nevýkonný. Provedení i těch nejzákladnějších a nejjednodušších instrukcí trvá u takového procesoru déle, než by mohlo trvat jednoduššímu procesoru, který nemá tak obsažnou sadu instrukcí. Vedle toho mají složitější procesory komplikovanější vývoj. Uživatel také draze platí za nevyužité technické prostředky.

Na základě výše uvedených rozporů je možno rozdělit teorie struktury procesorů do dvou základních směrů.

První z nich, původní teorie, je známa pod názvem **CISC** (Complex Instruction Set Computer) neboli počítač s kompletním souborem instrukcí. Snahou výrobců těchto procesorů je tedy vybavovat procesory co nejširší sadou instrukcí.

Pravým protipólem CISC je skupina procesorů známá jako **RISC** (Reduced Instruction Set Computer) neboli počítač s redukovaným souborem instrukcí. Jejich výrobci se naopak snaží maximálně omezit instrukční sadu procesorů. Klíčovou je myšlenka o přenesení některých výpočetních funkcí procesoru z technických prostředků na programové. Jednodušší technické prostředky tak umožní vykonávat dané funkce realizované programovými prostředky rychleji než složité technické prostředky. Instrukční sada těchto procesorů je tedy redukována pouze na jednoduché a rychle prováděné instrukce, na ty, které bývají nejvíce využívány. Zároveň jsou tyto instrukce implementovány tak, aby mohly být prováděny co nejrychleji.

Koncepce RISC se však netýká jen pouhého redukování instrukčního souboru. Je to spíše celá soustava názorů a představ o tom, jak by měl být počítač realizován a jak by měl fungovat.

4.2.1 Procesory RISC (Reduced Instruction Set Computer)

Architektura RISC realizuje na první pohled paradoxní požadavek: větší výpočetní výkon za nižší cenu a s jednodušším instrukčním souborem. Procesory RISC fungují na třech základních principech:

Regularita a jednoduchost souboru instrukcí, které dovolují opakované použití jednoduchých bloků obvodů pro provádění většiny instrukcí.

V každém strojovém cyklu pokud možno končí provedení jedné instrukce. Žádná instrukce nemůže počítat adresy svých vlastních operandů a realizuje pouze operace nad registry Load a Store.

Instrukce mají pevnou délku a neměnný formát.

Charakteristické znaky:

- minimální instrukční soubor (80 - 150 instrukcí)
- jednoduché způsoby adresování
- jeden nebo málo formátů instrukcí
- řízení jednoduchou pevnou logikou
- operace trvající jeden cyklus (většina instrukcí se provádí během jednoho taktu)
- styk s pamětí výhradně prostřednictvím operací Load a Store (strojové instrukce pracující přednostně s lokálními registry procesoru)
- datové operace pouze nad registry
- rychlé paměti na uložení programů a operandů (paměť cache běžící na stejné frekvenci jako vlastní procesor, velký počet programově přístupných registrů pro operandy)
- zřetězená realizace instrukcí
- optimalizující kompilátor - společný vývoj architektury procesoru a optimalizujícího kompilátoru.

Historie a vývoj RISC

Redukcí instrukční sady byla obětována binární kompatibilita za vysoký výkon čipu. Dále se podstatně zmenšila plocha čipu, což konstruktérům umožnilo zvýšit pracovní frekvenci procesoru. Základní výzkum technologie RISC byl veden přibližně již od roku 1975.

Vývoj procesorů je možno rozdělit do tří generací:

- **První vývojová etapa** (1975 - 1982) - první procesory RISC měly pouze experimentální charakter. Většinou byl realizován jen procesor a to jenom v několika málo vyrobených kusech. Cílem projektů bylo prokázat životaschopnost a konkurenceschopnost nové filosofie RISC v porovnání s konvenčním přístupem. První procesory RISC obsahovaly na čipu 20 000 až 50 000 tranzistorů a realizovali opravdu málo instrukcí (okolo 30). Výkon měly srovnatelný s 16 bitovými mikroprocesory, byly však levnější. Jako příklad uvádím IBM 801, což byl první pokus o komerční počítač založený na RISC, který se však na trhu neprosadil.
- **Druhá vývojová etapa** (1982 - 1985) zahrnuje vývoj a výrobu první generace prakticky použitelných procesorů. Konstruktéři se snažili doplnit procesory o některé rysy z architektury CISC, jako je počet instrukcí nebo bohatost adresových režimů. Jsou doplněny dalšími registry, vyrovnávací paměť, implementace koprocesorů. V některých procesorech RISC dochází k omezenému použití mikroprogramem implementovaných funkcí. Počet tranzistorů na čipu dosáhl 100 000 – 300 000. Typičtí představitelé této řady jsou procesory Cliper, IBM RT PC, MIPS R2000.
- **Třetí vývojová etapa** (od 1985) - Dochází jednak k dalšímu rozvoji procesorů druhé vývojové řady (MIPS R3000, T9000), dále jsou vyvíjeny zcela nové procesory (Motorola 88000, Intel i860, SPARC). Jsou využívány nové technologie i materiály. Za zlepšení výkonu těchto procesorů vděčíme zejména zvýšení pracovní frekvence, ale také změnám, které přímo nezapadají do filosofie riskových procesorů - viz. druhá etapa vývoje. Proto se začíná hovořit o tzv. Post-RISC architektuře.

4.2.2 Procesory CISC (Complex Instruction Set Computer)

neboli počítač s kompletním souborem instrukcí. Pro tyto procesory je typická implementace architektury pomocí mikroprogramování. Výsledkem je velký počet specializovaných typů instrukcí, které z časového pohledu mohou trvat až 300 strojových cyklů.

U posledních CISovýkch procesorech dochází ke kombinaci obou technik. Navenek jsou CISové ale vnitřní konstrukci mají RISKovou. Ale i nadále dochází k dalšímu rozšiřování instrukční sady zaměřené hlavně do multimediální oblasti a grafiky jako je 57 instrukci MMX, 21 instrukcí 3D Now a 70 instrukcí SIMD, 24 instrukcí 3D Now II.

Část II Ciskové procesory

1 Procesory firmy INTEL

1.1 Mikroprocesor 8088, 8086

Technické údaje:

- výkon 0.75 MIPS
- 29 000 tranzistorů
- 16 bitová sběrnice, 16 bitové registry
- 16 bitová vnější datová sběrnice u 8086
- 8 bitová vnější datová sběrnice u 8088
- 20 bitová vnější adresová sběrnice u 8086
- podpůrné obvody: 8237 - řadič DMA
- 8253 - obvod časovače
- 8251 - USART
- 8255 - paralel port
- 8259A - řadič přerušení
- frekvence: 4.77 MHz, 8 MHz, 10 MHz
- pouzdro DIL

Mikroprocesor 8088 byl uveden v červnu roku 1979. Jde o procesor, který je vnitřně šestnáctibitový, ale s okolím je spojen osmibitovou datovou sběrnicí. Protože má navenek vyvedenu pouze osmibitovou datovou sběrnici, musí přenášet šestnáctibitové slovo sérioparalelně, tj. nadvakrát po osmi bitech.

Mikroprocesory obvykle provádějí program cyklicky opakovaným průchodem následujícími kroky:

1. výběr instrukce z paměti
2. dekódování instrukce
3. příprava operandu, popř. jeho čtení z paměti
4. vykonání instrukce
5. uložení výsledku, popř. jeho zápis do paměti

Obsahuje dva oddělené subprocesory. První výkonný subprocesor **EU** vykonává instrukce. Druhý subprocesor **BIU** zajišťuje styk se sběrnicí, vybírá instrukce, čte operandy a zapisuje výsledky. Tyto dva subprocesory mohou pracovat navzájem nezávisle. Díky tomu, že BIU je vybaven frontou instrukcí o délce čtyř byte, načítá obvykle instrukce dopředu a umožňuje tak překrývání fáze výběru instrukcí s dalšími fázemi jejich vykonání.

1.2 Mikroprocesory 80186 a 80188

Tyto procesory byly velmi podobné procesorům 8086 a 8088. Neměly příliš mnoho nových možností. Používaly stejné modely pro tvorbu adresy a byly vybaveny stejně širokými sběrnicemi (80186 plně 16 bitový a 80188 vnitřně 16 bitový s 8 bitovou datovou sběrnicí).

Hlavním rozdílem od předešlých procesorů byl výkonnější mikrokód, který dovoloval vyšší výkon. Tyto procesory byly dodávány v pouzdře PGA.

Vzhledem k tomu, že tyto procesory neposkytovaly žádné výrazné zlepšení, nezaznamenaly větší komerční úspěch a nedošlo k jejich většímu rozšíření.

1.3 Mikroprocesor 80286

Technické údaje:

- 2.66 MIPS
- 134 000 tranzistorů
- 24 bitová vnější adresová sběrnice
- 16 bitová vnější datová sběrnice
- adresový prostor 16MB
- pouzdro DIL 68 vývodů, čtvercové
- reálný a chráněný režim
- nepodporují 32 bitové systémy (OS/2, WindowsNT)

Mikroprocesor 80286 byl vyvinut firmou INTEL v únoru 1982. Jde o šestnáctibitový mikroprocesor, navržený pro konstrukci multiuživatelských osobních mikropočítačů. Vychází z mikroprocesoru INTEL 8086, ale jeho schopnosti převádí na kvalitativně vyšší úroveň. Architektura mikroprocesoru 80286 se čtyřstupňovým zřetězením je oproti mikroprocesoru 8086 rozvinutější.

Mikroprocesor 80286 vyrábí technologií HMOS se šedesáti osmi vývody. Obsahuje přibližně 134 000 tranzistorů.

Adresová sběrnice mikroprocesoru je dvacetičtyřbitová a umožňuje adresovat 16 MB reálné paměti.

Datová sběrnice je šestnáctibitová. Doba trvání cyklu sběrnice je dvě periody hodin, tj. při frekvenci hodin 16 MHz 125 ns. Mikroprocesor 80286 se vyrábí pro maximální frekvence hodinového signálu 8 až 25 MHz, přičemž dosahuje výkonu 1,2 až 3,75 MIPS, pro stejnou frekvenci hodinového signálu je 2,3 krát výkonnější než 8086.

Prvním subprocesorem mikroprocesoru 80286 je jednotka styku sběrnicí **BU** (Bus Unit), která obsahuje registry a budiče datové a adresové sběrnice, obvody pro generování řídících signálů sběrnice a její řízení, obvody zajišťující komunikaci mezi mikroprocesorem a numerickým koprocesorem INTEL 80287a kromě toho obvody a frontu pro předvýběr šesti slabik instrukcí.

Druhým subprocesorem je jednotka dekódování instrukcí **IU** (Instruction Unit), která instrukce připravené ve frontě v BU dekóduje a obsahuje i frontu tří dekódovaných instrukcí připravených ke zpracování řadičem operační jednotky. Tímto přípravným dekódováním instrukcí se velice zrychluje činnost celého mikroprocesoru, neboť odpadá nutnost dekódování instrukcí při zahájení jejich provádění.

Dále obsahuje mikroprocesor výkonnou operační jednotku **EU** (Execution Unit), která vykonává instrukce. Poslední částí mikroprocesoru je adresovací jednotka AU (Address Unit), zajišťující převážnou část funkcí mikroprocesoru 80286 souvisejících s virtuální pamětí.

Kromě dalších obvodů adresovací jednotka obsahuje sadu registrů, které představují rychlou vyrovnávací paměť, v nichž jsou důležité informace pro generování fyzické adresy. Tato vyrovnávací paměť umožňuje adresovací jednotce vytvářet fyzickou adresu během jediné periody hodin. Jelikož obsluha virtuální paměti je věcí architektury mikroprocesoru, je převod z virtuálních do reálných adres plně transparentní pro programy.

Mikroprocesor 80286 může pracovat ve dvou volitelných pracovních módech:

- **reálný režim** (real mode, režim reálné adresy): V reálném režimu je procesor 80286 plně kompatibilní se svými předchůdci. Procesor v tomto režimu pracuje naprosto stejně jako procesor 8086 (8088). Používá 20 bitů pro tvorbu adresy, která je vytvářena podle stejného modelu jako je tomu u procesoru 8086. V tomto režimu mohou na procesoru 80286 pracovat programy napsané pro předcházející procesory.
- **chráněný režim** (protected mode, režim virtuální adresy): Nový režim, neslučitelný s 8086. Tento režim podporuje multiprogramování (paralelní zpracování více programů). Je tedy nezbytné, aby procesor v tomto režimu

poskytoval ochrany mezi jednotlivými spuštěnými programy a různé úrovně oprávnění přístupu k prostředkům počítače. Procesor v tomto režimu také používá jiný model pro vytváření adresy. Výsledná adresa je potom 24 bitová, což umožňuje procesoru adresovat maximálně 224 B = 16 MB operační paměti.

Ochrana paměti

Ochrany virtuální paměti (memory protection) mají zabraňovat nežádoucímu přístupu do paměti (počítačová kriminalita, neúmyslný zásah atd.).

Jistou ochranu paměti poskytuje její segmentace, protože zabraňuje přístupu mimo aktuální segmenty. Nechrání však před chybnou segmentací a ani před chybnými zásahy uvnitř aktuálního segmentu.

80286 umožňuje čtyřstupňovou hierarchickou ochranu paměti:

1. Jádro
2. Supervizor
3. Podpora uživatelských programů
4. Uživatelské programy

1.4 Mikroprocesor 80386DX

Technické údaje:

- 11.4 MIPS
- 275 000 tranzistorů
- 32 bitová vnitřní sběrnice
- 32 bitová vnější datová sběrnice pro DX
- 16 bitová vnější datová sběrnice pro SX, SL
- 32 bitová adresová sběrnice pro DX
- 24 bitová adresová sběrnice pro SX
- power managment u SL,
- adresový prostor 4 GB
- virtuální adresový prostor 64 TB
- real, protected a virtual mod V86
- přepínání real -chraněný režim pomocí instrukcí
- pouzdro PGA (keramické, čtvercové) - Pin Grid Array 132 vývodů
- frekvence 16, 20, 25, 33, 40 (Cyrix) MHz

- typy: SX, DX, DL, SL, C
- keramické pouzdro PGA - Pin grid Array 132 vývodů

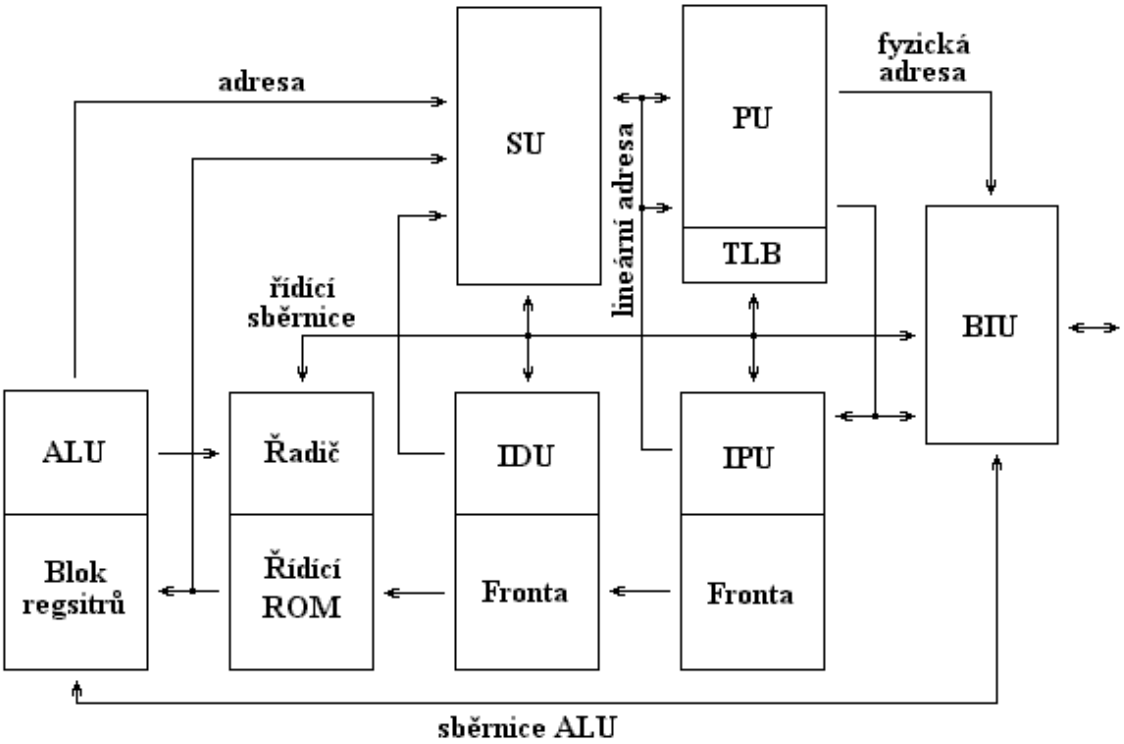
Mikroprocesor 80386 byl uveden na trh v říjnu roku 1985. Tento mikroprocesor disponuje dvaatřicetibitovou adresovou sběrnicí, je schopen pracovat s až 4 GB reálné paměti.

Je schopen práce ve třech módech:

- **reálný režim (real mode)**: velmi podobný reálnému režimu předchozích procesorů. Používá stejný adresovací mechanismus a má stejnou maximální velikost operační paměti (1 MB) i stejnou maximální velikost segmentu (64 KB). V tomto režimu mohou opět pracovat programy určené pro předešlé procesory (8086/8088).
- **chráněný režim (protected mode)**: Režim, který je velmi podobný chráněnému režimu procesoru 80286. Šířka adresové sběrnice v tomto režimu je 32 bitů, což dovoluje adresovat operační paměť o maximální kapacitě 4 GB.
- **virtuální režim**: V tomto režimu procesor 80386 pracuje podobně jako procesor 8086 (8088), ale je plně podřízen režimu chráněnému. Je možné takto virtualizovat 1 MB operační paměti, který mohl adresovat procesor 8086 a uložit jej kamkoliv do 4 GB operační paměti.

Procesor 80386DX je schopen provádět po inicializaci autonomní test, který zjišťuje jeho provozuschopnost. Dále je mikroprocesor schopen automaticky detekovat typ připojeného koprocesoru a nastavit své vnitřní obvody pro spolupráci s příslušným koprocesorem.

Novinkou u mikroprocesoru 80386 je i to, že frekvence hodinového signálu je vnitřně dělena dvěma. Dále je zde nové tzv. řetězení cyklů sběrnice, které umožňuje zdánlivé prodloužení cyklu sběrnice, neboť adresová a řídící informace pro následující cyklus sběrnice je generována ještě před ukončením cyklu sběrnice předcházejícího.



Blokové schéma procesoru 80386

Mikroprocesor obsahuje šest zřetězených subprocesorů:

Jednotka styku se sběrnicí – BIU (Bus Interface Unit)

je branou k okolnímu světu. Zabezpečuje veškerou komunikaci mezi mikroprocesorem a jeho okolím. Pracuje výhradně s fyzickými adresami a proto je nutné, aby adresa, která je poskytována BIU k provedení operace byla nejprve na tuto adresu fyzickou převedena prostřednictvím jednotky segmentace a stránkovací jednotky.

Jednotka předvýběru instrukcí – IPU (Instruction Prefetch Unit)

plní šestnáctibytovou frontu předvybraných instrukcí pro jednotu dekódování instrukcí. Jednotka předvýběru instrukcí nepřetržitě požaduje po vyzvednutí instrukce z fronty aby BIU doplnila frontu z následující adresy. Instrukce jsou do fronty zapisovány po dvojslovech, neboli plnění je realizováno vždy, když jsou alespoň čtyři byte fronty předvybraných instrukcí uvolněny.

Přitom požadavky této jednotky považuje BIU za požadavky o sběrnici s nejmenší prioritou, takže fronta je plněna jen tehdy, pokud žádná jiná jednotka mikroprocesoru nepožaduje styk se sběrnicí. V případě provedení instrukcí CALL, JMP, RET nebo INT

jednotka frontu vyprázdní a další instrukce je čtena z nového místa provádění programu a je ihned předána jednotce pro dekódování instrukcí k dalšímu zpracování.

Jednotka dekódování instrukcí – IDU (Instruction Decode Unit)

má funkci obdobnou jednotce pro předvýběr instrukcí. Vyzvedne z fronty předvybraných instrukcí první byte instrukce a zjistí délku celé instrukce (může být dlouhá až 16 byte). Pak vyzvedne celou instrukci z fronty (případně požádá BIU o doplnění chybějící části instrukce), převede její operační kód na vnitřní formát instrukce a takto dekódovanou instrukci umístí do fronty dekódování instrukcí, která je schopna pojmout až tři dekódované instrukce. Zde je instrukce k dispozici pro potřebu jednotky provádění instrukcí. Jednotka dekódování instrukcí také signalizuje BIU, zda dekódovaná instrukce obsahuje odkaz na komunikaci s okolím mikroprocesoru prostřednictvím této jednotky. Ta pak v případě, že je to možné připraví operandy potřebné k provedení instrukce.

Jednotka provádění instrukcí nebo též výkonná jednotka – EU (Execution Unit)

provádí vlastní výpočty. Jejím jádrem je aritmeticko-logická jednotka, která obsahuje posuvný registr, dvaatřicetibitovou sčítačku a odčítačku, osmibitovou násobičku a děličku a další obvody potřebné k provádění instrukcí. Součástí výkonné jednotky je i soubor univerzálních registrů. Jednotka také obsahuje blok nazývaný „barrel shifter“, neboli obvod, jenž je schopen zabezpečit posuv o více bitů v průběhu jediné periody hodinového signálu.

Tato součást výkonné jednotky není užívána jen při instrukcích rotací a posuvů, ale také ke zrychlení instrukcí násobení a pro generování indexovaných adres. Konečně posledním úkolem EU je informovat BIU o tom, že výsledek prováděné instrukce je třeba zapsat do paměti nebo na periferní zařízení.

Jednotka segmentace – SU (Segmentation Unit)

odpovídá svou funkcí jednotce adresace mikroprocesoru INTEL 80286. Tato jednotka má význam především v módu reálných adres provádí výpočet fyzické adresy. Doba, kterou tato jednotka stráví převodem adresy, zůstává obvykle skryta vlivem zřetězení jednotlivých subprocesorů mikroprocesoru. Pro převod adresy potřebuje jednotka jednu periodu hodin, ale obvykle tato doba zůstává skryta. Jednotka segmentace v módu chráněné virtuální paměti využívá i vyrovnávací paměť.

Jednotka stránkovací – PU (Paging Unit)

je aktivní pouze v módu chráněné virtuální paměti v případě, že je aktivní mechanismus stránkování.V tomto případě převádí lineární adresu generovanou jednotkou segmentace na adresu fyzickou. Činnost stránkovací jednotky opět zůstává obvykle časově skryta, neboť tato jednotka obsahuje asociativní cache nazývanou „Translation Lookaside Buffer“ (TLB) obsahující položky s adresami dvaatřiceti naposledy používaných stránek. Pouze v případě, že informace o příslušné stránce není v TLB, požaduje stránkovací jednotka její vyzvednutí z paměti pomocí cyklu čtení dvaatřicetibitových dat z paměti.

1.5 Mikroprocesor 80386 SX

Byl uveden v červnu 1988. Tento mikroprocesor v sobě spojuje výhody vnitřní dvaatřicetibitové architektury mikroprocesoru 80386DX s levnými podpůrnými obvody mikroprocesoru INTEL 80286, neboť softwarově i funkčně je téměř plně kompatibilní s mikroprocesorem INTEL 80386DX s tou výhradou, že má vyvedenu pouze šestnáctibitovou datovou sběrnici a disponuje pouze čtyřiadvacetibitovou sběrnicí adresovou.

1.6 Mikroprocesor 80486DX

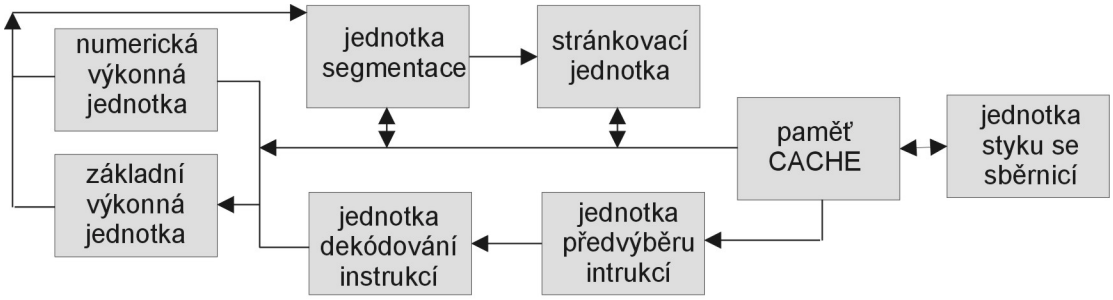
Technické údaje:

- 54 MIPS
- 1.2 mil. tranzistorů
- L1 cache 8 KB
- u DX naintegrovaný koprocesor
- větší instrukční fronta
- 32 bitová vnitřní i vnější datová a adresová sběrnice
- varianty SX: 20, 33 MHz
- SX2/40
- SL s power managmentem
- varianty DX: 33, 50 MHz
- DX2/66 - vnitřní 66 MHz, vnější 33 MHz
- DX2 /66 pouze s chladičem
- PGA pouzdro
- technologie 0.35 μm (většinou 0.6 μm)

- prostorová 2-vrstvá struktura

486DX2
- vnější frekvence poloviční vnitřní
- 50, 66 MHz

486DX4
- 3.3 V
- procesor s jedním kanálem
- vnitřní kmitočet 100 MHz,vnější 33 MHz
- vnitřní Cache 16KB
- vestavěná jednotka pro operace v pohyblivé čárce
- slabší výkon jednotky pro operace v pohyblivé čárce (oproti pentiu)



Blokové schéma mikroprocesoru Intel 80486 DX

Mikroprocesor 80486 DX byl uveden na trh v dubnu 1989. Tento procesor v sobě sdružuje mikroprocesor 80386 DX, numerický koprocesor INTEL 80387 DX a 8 KB rychlé vyrovnávací paměti cache, čímž je opět podstatně zvýšena výkonnost celého systému, neboť odpadá čas potřebný pro přenos informací mezi jednotlivými obvody. Ke zrychlení činnosti mikroprocesoru nesporně přispívá i prodloužení fronty instrukcí ze šestnácti na 32 byte.Mikroprocesor má přímo na čipu vestavěnu rychlou vyrovnávací paměť cache o kapacitě 8 KB, která umožňuje získat mnohým instrukcím operand během jediné periody hodin v případě, že se operand v této vnitřní paměti cache mikroprocesoru nachází. Informace jsou z operační paměti do paměti cache natahovány vždy po celých dvojslovech (32 bitů), i když mikroprocesor potřebuje pouze jeden byte. Je však pravděpodobné, že bude potřebovat další byte z dvojslova, které je tak již automaticky předem připraveno. Současně v okamžicích, kdy mikroprocesor nepotřebuje sběrnici, je do paměti cache natahováno autonomně až sedm dalších dvojslov. Tím je zajišťována

„předpřipravenost“ informací v paměti cache pro další činnost, neboť programy většinou instrukce i data zpracovávají sekvenčně.

Druhým významný přínosem mikroprocesoru je zabudování numerického koprocesoru prakticky ekvivalentního s koprocesorem INTEL 80387DX. Jde o první mikroprocesor v historii, který má zabudován numerický koprocesor přímo na čipu. Umístění koprocesoru přímo do nitra mikroprocesoru dále zvyšuje jeho výkon, neboť odpadají časové prodlevy nutné pro komunikaci mezi mikroprocesorem a koprocesorem.

Od roku 19991 je nabízena modifikace pod označením 80486 SX. Ta se liší od 80486DX především tím, že nemá matematický koprocesor. Tento koprocesor je na čipu realizován, avšak není připojen na vývody (ve skutečnosti jde o mikroprocesor 80486DX, na jehož čipu byl numerický koprocesor shledán vadným a proto byla jeho činnost zablokována).

1.7 Pentium

Technické údaje:

- 3.1 mil. tranzistorů
- 64 bitový
- 32 bitové zpracování dat
- 32 bitová adres. sběrnice, datová 32 nebo 64- bitová
- takt 75, 90, 100, 120, 132 MHz, 150 MHz
- takt vnější sběrnice 1.5, 2, 2.5 a 3 krát menší než vnitřní frekvence procesoru
- pipelining
- superskalární architektura
- asymetrické kanály
  - U - univerzální jednotka
  - V - umí jen jednouché instrukce (mimo přesunů,práce se zásobníkem)
  - musí dojít k párování instrukcí - jinak pracuje jen kanál U. K rozdělení na kanály dochází ve fázi dekódování
- kompilátor musí upravit smyčky pro predikci větvení
- Branche Target Buffer kde ukládá výsledky posledních 256 větvení
- dvoucestné asociativní Cache 8 KB jak pro data, tak pro instrukce
- 8 registrů
- 3 instrukce v jednom taktu
- 0.65 µm technologie
- napájení 5 V, ale od r. 1994 i 3.3 V

- pouzdro PGA 273 vývodů, nověji SPGA a TCP (Tape Carrier Package) s velmi výborným odvodem tepla a s 265 vývody
- spotřeba pro chod naprázdno 15 W při 66 MHz, 3.3 V má 4 W
- nutné chlazení a tepelné odstínění dalších součástek
- prostorová 3 vrstvá struktura
- výkon 166 MIPS

Mikroprocesor INTEL Pentium byl uveden na trh v květnu v roce 1993.

Pentium je také prvním superskalárním procesorem firmy Intel. Jedná se o procesor, který má více než jednu frontu pro zřetězené zpracování instrukcí. Konkrétně Pentium má dvě takovéto fronty označované jako U, V.

K jeho nejdůležitějším vlastnostem patří též šířka datové sběrnice 64 bitů, adresová sběrnice má šířku 32 bitů jako u předcházejícího modelu.

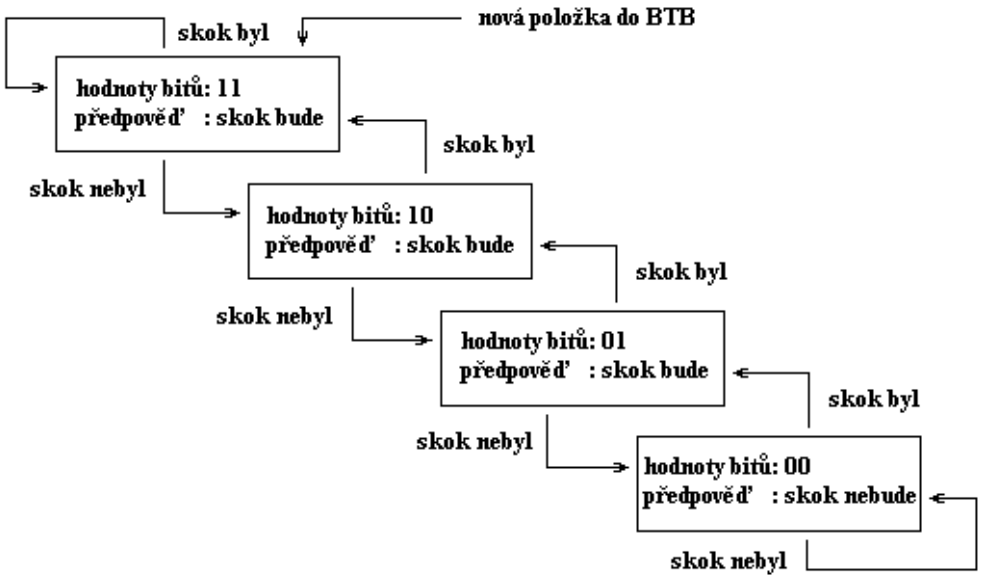
Šířka toku dat je 64 bitů a je zachována až ke dvěma odděleným vyrovnávacím pamětem (pro instrukce a pro data), z nichž každá má kapacitu 8 KB. Každá paměť cache je vybavena adresářem s omezeným stupněm asociativy (s = 2), přičemž bloky mají velikost 32 B. Pro zajištění konzistence obsahu paměti cache s hlavní pamětí se používá technika úklidu podle příznaku.

Pro zajištění konzistence mezi několika pamětmi cache dat v multiprocesorovém systému se používá protokol MESI (modified, exclusive, shared, invalid), v němž se každá změna obsahu paměti cache dat posílá do paměti cache všech procesorů, které pracují se stejnými daty.

Z paměti cache instrukcí se instrukce přesouvají v šířce 256 bitů do fronty, jejíž plnění ovlivňuje blok predikce skoků. Jeho úkolem je naplnit frontu tak, aby k provedení byly připraveny instrukce, jejichž provedení je nejpravděpodobnější. K tomu se používá paměť cílových adres skoků (branch target buffer – BTB) s kapacitou 256 adres.

Každá položka v této paměti má tři části:

1. adresu, v níž byla skoková instrukce přečtena
2. cílovou adresu skoku
3. dva bity popisující historii skoku

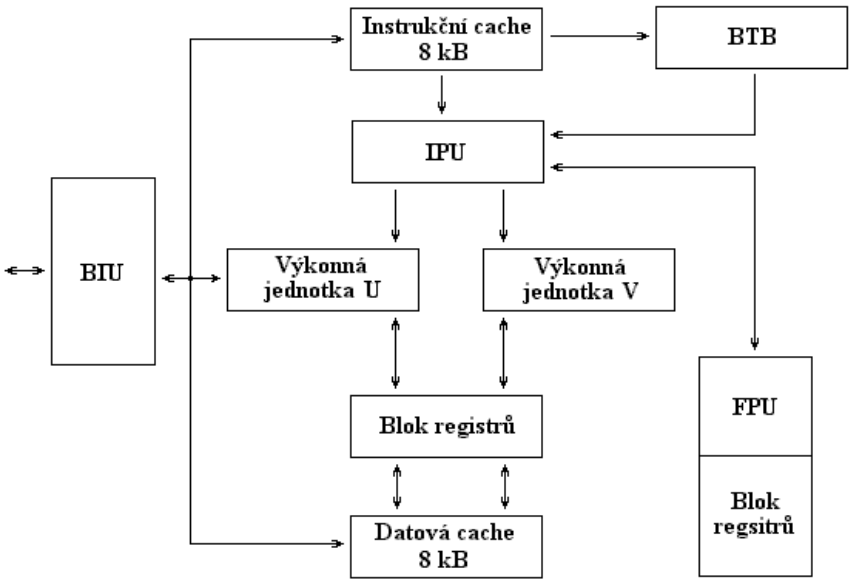


Instrukce, která způsobila skok, je uložena do BTB spolu se dvěma bity, jejichž hodnoty jsou rovny 1. Tyto hodnoty při příštím průchodu přes tuto instrukci signalizují předpověď, že skok bude. Pokud skok skutečně byl, hodnoty bitů zůstanou nezmodifikovány. Pokud byla předpověď mylná a skok nebyl, jsou bity nastaveny na hodnotu 10, která opět signalizuje, že skok bude. Podle toho, zda skok skutečně následuje nebo ne, jsou pak příslušným způsobem bity modifikovány (viz obrázek) a jejich hodnota signalizuje předpověď skoku.

Je zde možno číst z fronty během jednoto taktu dvě instrukce současně. Dvě instrukce přečtené současně z fronty se přesouvají k provedení s pěti sekcemi.

Jsou to sekce:

1. **Výběr** instrukce přenos instrukce s instrukční cache do předvýběrových vyrovnávacích pamětí.
2. **Dekódování** - procesor hledá a vybírá kód v předvýběrových vyrovnávacích pamětích a konvertuje jej do interního instrukčního formátu procesoru.
3. **Operandy** Hodnoty pro operce jsou vybrány z příslušných registrů nebo Cache pro data
4. **Vykonání** operace
5. **Zpětný zápis** výsledků provedené operace do registrů nebo cache či paměti



Blokové schéma procesoru Pentium

Na čipu je umístěna též aritmetická jednotka pro operace s pohyblivou řádovou čárkou s šířkou toku dat 64 bitů.

Procesor Pentium dále používá 8 univerzálních registrů a zásobníkovou paměť. Instrukce s pohyblivou řádovou čárkou se zpracovávají proudově v sedmi sekcích, přičemž pouze poslední tři sekce jsou prováděny v jednotce pro pohyblivou řádovou čárku.

Úvodní čtyři fáze zpracování se pro většinu instrukcí s pohyblivou řádovou čárkou provádějí v některé jednotce s pevnou řádovou čárkou a teprve pak je instrukce předána k dalšímu zpracování do jednotky pro pohyblivou řádovou čárku. Při předávání dat z jednotky s pevnou řádovou čárkou se dva toky dat s šířkou 32 bitů spojí paralelně a vytvoří tak potřebnou šířku 64 bitů.

Pro dosažení maximálního výkonu je jednotka s pohyblivou řádovou čárkou vybavena samostatnými bloky, v nichž se operace sčítání, násobení a dělení provádějí obvodově.

Operace s pohyblivou řádovou čárkou probíhají 5 až 10x rychleji než u procesoru 486 DX/33.

Pro styk s pamětí se používá virtuální adresování s volitelnou velikostí stránky 4 KB nebo 4 MB. Stránky s větším rozměrem jsou určeny pro grafické systémy a pro jádro operačního systému, kde mají předejít nepřípustně vysoké frekvenci stránkování.

Procesor Intel Pentium obsahuje tyto jednotky:

BIU: (Bus Interface Unit - jednotka styku se sběrnicí):

Tato jednotka je branou mikroprocesoru k okolnímu světu. Všechny ostatní jednotky procesoru využívají tuto jednotku pro přenos dat mezi procesorem a okolím (zejména pamětí RAM). Protože BIU pracuje výhradně s fyzickými adresami, je nutné, aby adresa, která je poskytována k provedení operace, byla nejprve převedena z virtuální na fyzickou adresu.

IPU: (Instruction Prefetch Unit - jednotka předběžného načtení instrukcí):

Tato jednotka se stará o naplňování fronty instrukcemi pro IDU (jednotka pro dekódování instrukcí). IPU nepřetržitě požaduje (samozřejmě po vyzvednutí instrukce z fronty jednotkou pro dekódování), aby BIU doplnila frontu z následující adresy. Instrukce jsou do fronty zapisovány po 4 bytech. V případě provedení instrukce, která způsobí skok, provede IPU vyprázdnění celé fronty a další plnění se provádí od nové adresy.

IDU: (Instruction Decode Unit - jednotka pro dekódování instrukcí):

Jednotka, která má podobnou funkci jako IPU. Vyzvedne z fronty naplněné IPU první byte instrukce a podle něj zjistí délku celé instrukce (může být dlouhá až 16 B). Pak vyzvedne z fronty celou instrukci (popř. požádá BIU o doplnění chybějící části) a převede ji na vnitřní formát. Takto dekódovanou instrukci umístí do své fronty dekódovaných instrukcí, která je schopna pojmout až 3 dekódované instrukce. Zde je instrukce uložena pro potřebu EU.

EU: (Execution Unit - výkonná jednotka):

Jednotka, která provádí vlastní výpočty. Jejím jádrem je ALU (Arithmetic - Logic Unit), která obsahuje obvody potřebné k aritmetickým a logickým operacím a k provádění instrukcí. Obsahuje také sadu registrů procesoru. Posledním úkolem EU je informovat BIU, že výsledek je potřeba zapsat do operační paměti nebo na periferní zařízení.

- **EU U:** výkonná jednotka U spolu s výkonnou jednotkou V sdílí blok registrů procesoru
- **EU V:** výkonná jednotka V

- **BTB:** paměť sloužící k realizaci dynamického předvídaní větvení
- **FPU:** jednotka pro aritmetické výpočty, která ke své činnosti využívá bloku registrů. Je to jakýsi kalkulátor umístěný uvnitř procesoru.

Vykonávání instrukcí:

V procesoru INTEL Pentium, kde se dodržuje zavádění instrukcí v pořadí (in-order issue) a dokončení instrukcí v pořadí (in-order completion) každé pozastavení činnosti v jednom kanále způsobí zastavení všech kanálů.

1.8 Pentium MMX

Procesory Pentium s technologií MMX jsou založeny na vylepšené 0,35 µm technologii CMOS, která dovoluje dodat vyšší výkon s nižší spotřebou elektrické energie. Procesor Pentium s technologii MMX obsahuje 4,5 mil. tranzistorů. Kromě posílení o instrukce MMX je obohacen o několik vylepšení vnitřní architektury. Zdvojená vyrovnávací paměť cache má 32 KB, výkonnější je předvídání větvení instrukcí.

Technologie MMX

Společnost Intel vyvinula 57 nových instrukcí, aby zvýšila rychlost některých výpočetně náročných smyček, jež se typicky vyskytují v aplikacích pro zpracování grafiky, zvuku a videa. Technologie MMX si udržuje plnou kompatibilitu s předešlou architekturou procesoru.

Technologie MMX využívá techniky SIMD (Single Instruction Multiple Date), která dovoluje zpracovat mnoho informací během jediné instrukce. Možnosti MMX technologie využívají především aplikace pro zpracování.

- videa
- kompresi dat
- 2D/3D grafiku
- zvuku
- rozpoznávání řeči

1.9 PentiumPro

Technické údaje:

- RISC jádro
- CISC celek

- CPU má 5,5 mil. tranzistorů + 15,5 mil. v sekundární cache
- frekvence sběrnice poloviční tj. 75 MHz
- 14ti stupňové pipelining
- Procesor má 5 prováděcích jednotek:
  - 2 celočíselné IU
  - 2 generátory adres AGU - ukládání je řízeno dvoubránovou AGU, která je nezávislá na AGU pro načítání
  - 1 FPU s operacemi násobení, dělení a posunu
- integrovaná dvoucestná asociativní primární instrukční Cache 8 KB
- integrovaná čtyřcestná asociativní primární datová Cache 8 KB
- integrovaná čtyřcestná sekundární Cache 512 (256) KB takt 10 ns, tj. 200 MHz
- napájecí napětí 2,9 V
- spotřeba 20 W
- 36 bitový AB
- instrukční soubor RISC
- podporuje zavedení a vykonání instrukce mimo pořadí
- 387 vývodů pouzdra
- Trojcestný superscalár umožňuje současné ukončení 5ti instrukcí.
- Zrychlením je také 14ti stupňový pipelining oproti 5ti stupňovému u P5.
- P6 obsahuje dekodér pro převod CISC instrukcí na RISC.
- Zpoždění při prohledávání L2 Cache je oproti L1 pouze jeden takt.
- Lze rozpracovat až 8 transakcí
- Celá jednotka dodá 6 mikrooperací v jednom taktu
- Spekulativní předpověď větvení urychluje rychlost, ale při špatné předpovědi je ztráta asi 8 hodinových cyklů. Za tento čas se musí naplnit nová fronta instrukcí, aktualizovat registry a paměti

Mikroprocesor PentiumPro byl uveden na trh v listopadu v roce 1995. Jedná se o další generaci Pentia, nyní nazývaný P6. P6 je podobně jako jeho předchůdci kompatibilní směrem dolů. Je zhotoven technologií 0,6 mikrometru.

Je obdélníkového tvaru, protože se skládá ze dvou čipů (sekundární cache je na samostatném čipu v pouzdře procesoru).

PentiumPro přináší více než dvojnásobný výkon oproti nejrychlejšímu Pentiu. Takový nárůst umožňuje nový design procesoru, který vykazuje čtyři pipelines na paralelní zpracování příkazů a integrovanou primární i sekundární cache. Je optimalizovaný

pro 32 bitové aplikace, takže při některých operacích ve Windows 95, 98 může být dokonce pomalejší než obyčejné Pentium.

PentiumPro má možnost spekulativního provádění instrukcí mimo pořadí, které se uplatňuje např. v případě zjištění, že požadovaná data nejsou ještě ve vyrovnávací paměti. V takovém případě Pentium Pro nečeká, až budou data načtena z pomalejší operační paměti, ale začne provádět další instrukce do té doby, než budou informace přístupné. Takto může Pentium Pro odložit provádění až čtyř instrukcí. Podobně procesor postupuje i v případě závislosti instrukcí, kdy provádí instrukce mimo pořadí, dokud nedojde k výpočtu požadovaného operandu.

Kromě toho Intel zavedl nový sběrnicový systém pro PC, který umožňuje komunikaci až čtyř procesorů (v ideálním případu by mělo přidáním každého procesoru dojít ke zvýšení výkonu až o 100 %, ve skutečnosti však podle testu dochází k nárůstu pouze okolo 60 %).

Vnitřní stavba nového procesoru se skládá ze dvou oddělených čipů – tato integrace je novinkou jeho architektury. Na jedné ze dvou křemíkových destiček je umístěno vlastní jádro procesoru a primární procesorová cache (L1-cache). Na druhé destičce je umístěna sekundární cache (L2-cache). Jedná se o externí cache paměť o kapacitě 256 KB (512 KB) přímo v pouzdře procesoru. Tato cache paměť není součástí čipu procesoru, ale je tvořena samostatným čipem umístěným v jednom pouzdru s čipem procesoru.

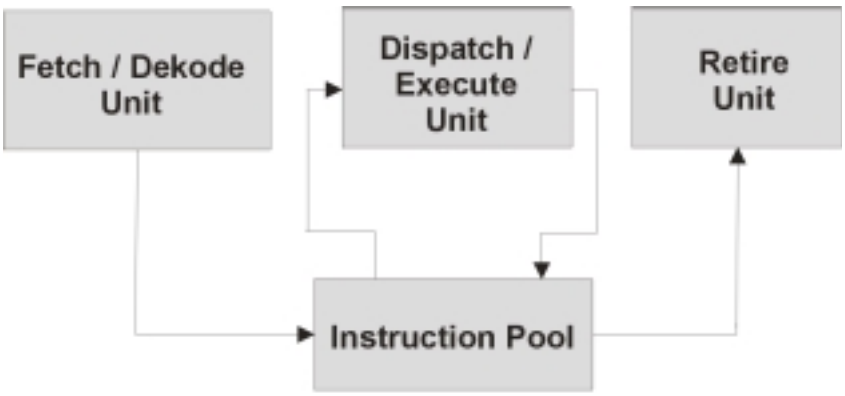
Jádro procesoru PentiumPro se zásadně odlišuje od jádra Pentia. V PentiuPro se začalo s nahrazováním komplexních příkazů jednoduššími instrukcemi RISC (Reduced Instruction Set Computer), počítače s redukovaným instrukčním souborem. Ty jsou rychleji zpracovávány ve dvou paralelních pipelines. V PentiuPro jsou nasazeny čtyři takové paralelní pipelines.

Napěťový rozdíl mezi logickým stavem „0“ a „1“ obnáší pouhých 1,5 V. Význam ochrany proti rušení v počítači tak roste.

Stavba procesoru PentiumPro

Společně s procesorem PentiumPro se objevují nové speciální komponenty, jako např. řadič sběrnice a další čipy. Pracovní paměť (RAM) může být zavěšena přes řadič paměti a čtyři multiplexory RAM přímo na procesorové sběrnici. Toto řešení je výhodné hlavně pro velké databankové servery. Pokud je obsazeno všech 16 slotů, pak není třeba vkládat při 75 MHz žádné čekací doby (waistates) pro paměť. Pro stolní systémy jsou žádoucí jednodušší řešení bez multiplexoru RAM. Adresy budou přenášeny zásadně na šířce 36 bitů, pro data je k dispozici 64 bitová sběrnice. Na rozpoznávání chyb je nasazen kód ECC.

Nyní se zaměříme na popis vnitřní architektury PentiaPro podrobněji, neboť z ní vychází Pentium II a Pentium III.



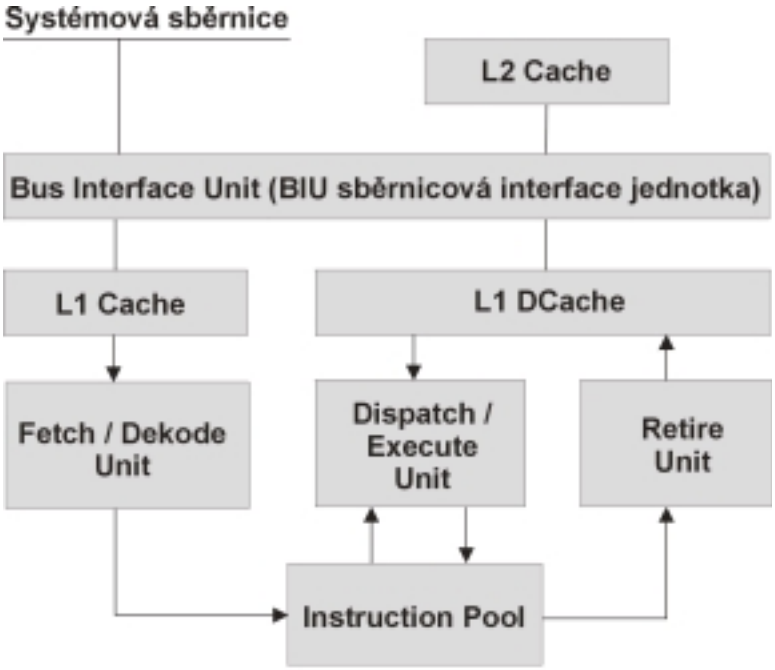
Blokové schéma procesoru PentiumPro

Fetch/Decode Unit . . . . . jednotka na volání instrukcí programu a jejich dekódování
Dispatch/Execute Unit . . . jednotka na přidělování mikrokódu a provedení instrukce
Retire Unit . . . . . návratová jednotka dat
Instruction Pool . . . . . banka dekódovaných instrukcí

Z uvedeného blokového schématu je zřejmé, že struktura procesoru zahrnuje několik jednotek (Unit). V jednotce Fetch/Decode jsou postupně načítány a dekódovány instrukce programu, které pak jsou ukládány v tzv. Instruction Pool, tj. v bance dekódovaných instrukcí. V jednotce Dispatch/Execute jsou k dekódovaným instrukcím přiřazeny hodnoty operandů a následně provedeny. Po provedení jsou opět vráceny zpět do banky, kde jsou později nová data vrácena z jednotky Retire zpět do paměti.

Pro lepší porozumění činnosti procesoru si ukážeme v následující části podrobnější schéma architektury procesoru a jednotlivých jednotek.

Na následujícím obrázku je uvedeno podrobnější schéma architektury procesoru. Kromě základní architektury je zde také uvedena návaznost procesoru na jednotlivé paměti cache (L1, L2).



Architektura procesoru PentiumPro

Ze schématu je patrno, že BIU zabezpečuje přenos informací ze systémové sběrnice a L2 Cache (sekundární Cache) na straně jedné a L2 Cache (ICache a DCache) na straně druhé. Tento přenos informací je obousměrný. Je důležité poznamenat, že L2 Cache je rozdělena do dvou částí. Část ICache je používána jako vyrovnávací paměť pro instrukce a část DCache jako vyrovnávací paměť pro data.

Z paměti ICache jsou postupně volán, tj. načítány, jednotlivé instrukce programu do jednotky Fetch/Decode, kde jsou dekódovány a následně uloženy do banky Instruction Pool. Jednotka Dispatch/Execute postupně načítá dekódované instrukce z banky. V této jednotce jsou k načteným dekódovaným instrukcím přidávány operandy z paměti DCache.

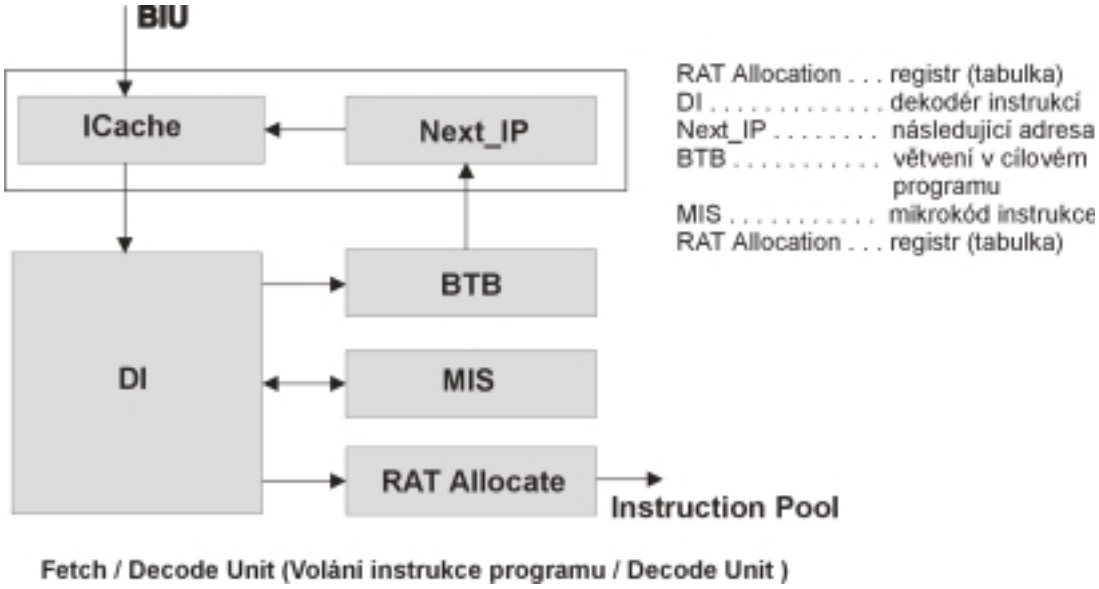
Po kompletaci dekódovaných instrukcí je zde plánováno jejich provedení. Výsledkem činnosti této jednotky je provedení instrukce a její zpětné uložení do banky. Pomocí jednotky Retire jsou pak nová data vrácena zpět do DCache.

Popis jednotky Fetch/Decode

Ze schématu vidíme, že instrukce programu uložené v ICache jsou postupně načítány a v bloku DI je prováděno jejich dekódování. Po provedení dekódování instrukce se v bloku BTB (větvení v cílovém programu) provádí její vyhodnocení za účelem stanovení větvení programu, tj. určení adresy následující instrukce. Po tomto vyhodnocení je předána informace z bloku BTB do bloku Next_IP, kde je určena adresa následující instrukce.

Při dekódování je ke každé instrukci přidělena jedna mikroinstrukce. Jsou i případy, kdy na jednu instrukcí jsou přiděleny až čtyři mikroinstrukce. V tomto bloku je pak provedena náhrada do tzv. předprogramovaných mikrokódů instrukcí.

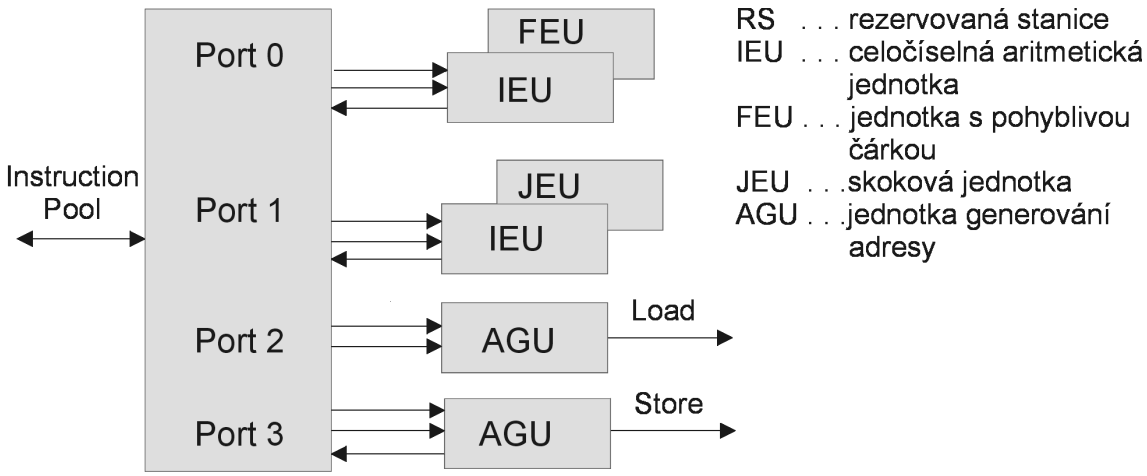
V bloku RAT Allocation jsou seřazeny dekódované instrukce, které jsou předány do bannky dekódovaných instrukcí.



Popis jednotky Dispatch/Execute

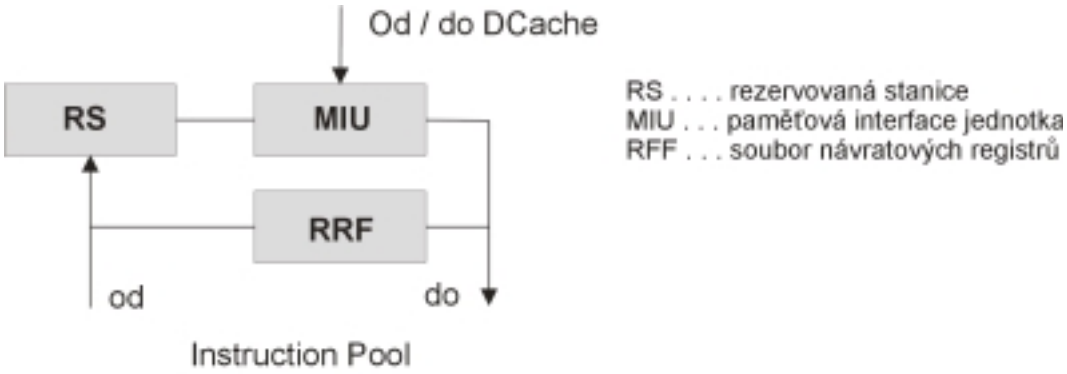
Struktura jednotky Dispatch/Execute je uvedena na následujícím obrázku. Ze schématu je patrno, že dekódované instrukce programu, nacházející se v Instruction Pool (Banka dekódovaných instrukcí), jsou postupně načítány a ukládány to tzv. RS. Odtud jsou prostřednictvím jednotlivých portů (0 až 4) přenášeny k následnému zpracování takto:

- Port 0 – provedení aritmetických operací celočíselných nebo s pohyblivou řádovou čárkou
- Port 1 – provedení aritmetických operací celočíselných nebo výpočet skoku
- Port 2 – generování čtecí adresy
- Port 3 – generování adresy pro zápis



Dispatch / Execute Unit (Přidělování / Execute unit)

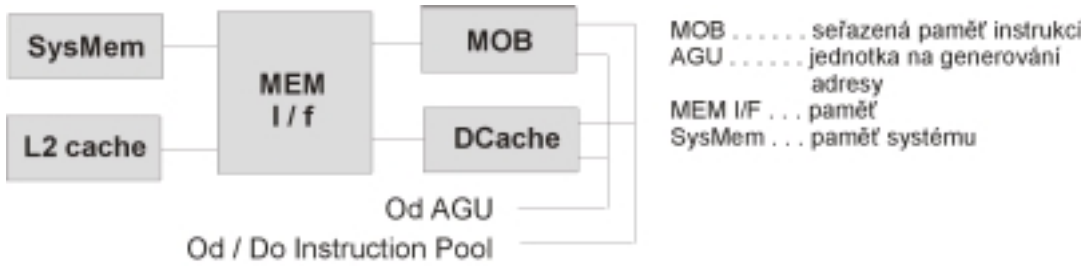
Popis jednotky Retire



Retire Unit (Návratová jednotka dat)

Struktura jednotky Retire je uvedena na následujícím obrázku. Ze schématu je vidět, jak data vzniklá při výpočtu v unitu Dispatch/Execute a pak uložená v Instruction Pool jsou odkládána v paměti DCache pomocí unitu Retire. V bloku RFF se musí nejdříve identifikovat banka a pak stanovit, komu se mají vrátit data.

Popis BUS interface jednotky – BIU



BUS interface jednotka

Struktura jednotky BUS interface – BIU je uvedena na následujícím obrázku. Ze schématu je vidět, že tato jednotka zabezpečuje přenos informací z paměti systému a L2 Cache na jedné straně a L1 Cache (MOB a DCache) na straně druhé. Od L1 Cache (L1 ICache L1 DCache)je pak vazba na jednotlivé unity procesoru.

1.10 Pentium II

Pentium II v sobě spojuje pokrokové technologie procesoru PentiumPro s možnostmi technologie MMX. Technologie MMX umožňuje posílit výkon při zpracování zvuku, videa, a grafických aplikací, stejně jako zrychlit šifrování dat a jejich kompresi. Nová je technologie pouzdření, tzv. Single Edge Contact (S.E.C.), která přináší širokou dostupnost procesoru Pentium II a poskytuje dostatečnou rezervu pro zvyšování výkonu i pro další generace procesoru.

Sběrnicová architektura procesoru Pentium II odstraňuje omezení, která existují při použití jediné sběrnice, jak je tomu u procesorů generace s paticí známou jako „Socket 7“. Nová architektura nabízí až třikrát vyšší prostupnost dat. Nazývá se: „Slot 1“.

Technologie S.E.C. Cartridge

S nástupem procesoru Pentium II představila společnost Intel technologii Single Edge Contact cartridge (S.E.C.). Je to nová montážní technologie, jež nahrazuje starší technologii Pin Grid Array (PGA). Součásti jsou upevněny na podložku a poté zcela uzavřeny do plastového a kovového krytu, který tvoří vlastní tělo procesoru.

Procesory řady Pentium II jsou zkonstruovány pro použití nejen v klasických stolních PC, ale také v mobilních systémech nebo serverech. Tento procesor spojuje výhody architektury Intel P6 a rozšířeného instrukčního souboru technologie MMX. Procesor je navržen především pro zvýšení výkonu v multimediálních aplikacích, komunikačním softwaru, videokonferencích a zobrazování obrázků a videa.

Všechny procesory jsou vyrobeny technologií 0,25 mikrometrů a obsahují řádově 7,5 miliónu tranzistorů. Systémová sběrnice běží na frekvenci 100 MHz.

K nejnápadnějším charakteristickým rysům architektury procesoru Pentium II patří:

- Technologie dynamického spouštění (Dynamic Execution Technology)
- Tato technologie umožňuje spouštění instrukcí „mimo pořadí“. Není zde nutné dodržení konzervativního spouštění instrukcí, kdy je každá jednotlivá instrukce nejprve přečtena a následně nato ihned vykonána. Během jediného hodinového cyklu mohou být dekódovány až tři instrukce. Tyto dekódované instrukce jsou uloženy do vyrovnávací paměti, která je schopna uchovávat až 40 instrukcí najednou. Tyto instrukce z bufferu jsou spouštěny ve chvíli, kdy jsou dostupné jejich operandy. V průběhu jediného hodinového cyklu mohou být provedeny až čtyři instrukce.
- Superpipelining
- Zatímco Pipeline procesorů řady P6 se skládá z průměrně 12 stupňů, procesor Pentium vystačí pouze s 5ti, Pentium s technologií MMX jich vyžaduje 6. To umožňuje procesoru Pentium II dosáhnout asi o 50 % vyšší frekvenci než procesor Pentium vyrobený stejnou technologií (0,25 mikrometrů). Pro dosažení takové frekvence je klíčový sofistikovaný dvojúrovňový adaptivní a „předvídavý“ (branch prediction) mechanismus procesoru Pentium II.
- Architektura duálních nezávislých sběrnic (Dual Independent Bus – DIB - Architecture) Architektura procesoru Pentium II obsahuje dvě rozdílné sběrnice:
  - systémovou sběrnici využívanou pro přístup k paměti a vstupně/výstupní operace
  - L2 cache sběrnici, která pracuje na poloviční frekvenci ve srovnání s taktováním jádra samotného procesoru. Rychlost sběrnice L2 cache je jedním z nejdůležitějších faktorů, které kladně ovlivňují celkový výkon systému.
- Technologie MMX
- Rozšířený instrukční soubor technologie MMX směřuje ke zvýšení výkonu programů na multimediální a komunikační platformě. Instrukční soubor obsahuje 57 instrukcí orientovaných na paralelní zpracovávání multimediálních dat. Tyto instrukce používají technologii známou jako SIMD (Single Instruction, Multiple Data - jedna instrukce, více dat) a umožňují rychlejší běh aplikací zpracovávajících multimediální data nebo komunikujících po sítích s okolními počítači. Tato technologie je plně kompatibilní s předcházejícími technologiemi, které Intel používá ve svých čipech.

- Write Combining
- Technologie Write Combining, kterou umožňuje již architektura procesorů P6, se používá pro zvýšení rychlosti grafických operací. Tato technologie používá vícenásobný zápis do paměti, čímž zlepšuje možnosti multimediálních aplikací, přehrávání videa atd.
- Cache
  - Procesor Pentium II disponuje 32 KB L1 cache, která je rozdělena do dvou částí: instrukční a datové, z nichž každá má 16 KB. Každá z těchto rychlých pamětí pracuje s hodinovou frekvencí samotného procesoru, čímž poskytuje rychlý přístup k často používaných datům a instrukcím.
  - Procesor Pentium II má navíce také 512 KB L2 cache, která je jednotná pro instrukce i data. Tato cache používá 64 bitovou sběrnici, která umožňuje vysokou rychlost přenosu dat mezi procesorem a cache L2

1.11 Intel Xeon

Procesor Intel Xeon byl vyvinut jako velmi výkonný procesor pro použití především v počítačích sloužících jako velmi zatěžované servery a pracovní stanice. Jeho hlavní výhodou je jeho využití v multiprocesorových systémech (zatím podle použitého chipsetu až 16 procesorů).

Součástí procesoru Xeon je velmi rychlá paměť cache, jejíž velikost dosahuje až 2 MB, aby bylo možné udržet vysokou rychlost toku dat mezi jádrem procesoru a jeho ostatními součástmi. U tohoto procesoru jsou nezbytné i další nástroje pro ovládání a kontrolu jeho správné činnosti.

- Tepelná ochrana
- Sledování a oprava chyb
- Functional Redundancy Checking
- System Management Bus

Procesor Xeon se příliš neliší od ostatních typů Pentií, která využívají stejné jádro a vstupně výstupní sběrnicí pracují na frekvenci 100 MHz. Hlavním rozdílem je právě vysokokapacitní cache L2, která pracuje na stejné hodinové frekvenci jako samotné jádro procesoru.

1.12 Pentium III

Procesor Pentium III je určen především uživatelům, kteří často pracují s Internetem nebo dalšími aplikacemi náročnými na rychlý přenos dat. V tomto ohledu je nejvýznamnější rozšíření Streaming SIMD Extensions, což představuje rozšíření instrukčního souboru procesoru oproti předešlé řadě Pentium II o 70 nových instrukcí, které významně zrychlí výkon a zobrazovací schopnosti počítače, 3D grafiku, rozeznávání řeči a otevírají tak cestu pro nový druh softwaru spolupracujícího s Internetem. Jinak vnitřní architekturu má totožnou s Pentiem II, postavenou na architektuře PentiaPro.

Technické údaje:

Procesor PentiumIII je vyroben technologií 0,25 mikrometrů a jeho jádro sestává z přibližně 9,5 miliónu tranzistorů. Procesor obsahuje také 32 KB cache L1 a 512 KB cache L2 pro rychlý přístup k často používaným datům. Velikost cacheovatelné paměti je 4 GB. Procesor je zataven v pouzdře Single Edge Contact Cartridge 2 (S.E.C.C.2.).

Nové vlastnosti:

Nové instrukce Streaming SIMD Extensions

The Streaming SIMD Extensions představuje 70 nových instrukcí používaných pro více dat zpracovávaných jedinou instrukcí (single instruction multiple data floating point), přídavné SIMD integer operace a instrukce ovládání cacheovatelnosti. Výhody plynoucí z používání těchto nových instrukcí se projevují především:

- v možnostech vyššího rozlišení a vyšší kvalitě prohlíženého obrázku a manipulace s ním
- ve vysoké kvalitě přehrávání audia, videa MPEG 2 a v současném kódování a dekódování MPEG2.
- v utilizaci rozeznávání řeči

Sériové číslo procesoru

Sériové číslo procesoru umožňuje bezpečnostní blokování počítače, může sloužit k identifikaci počítače síťovými i nesíťovými aplikacemi. To umožní definovat přístup některým uživatelům pouze do těch části aplikace, ke kterým mají mít přístup, a automaticky přesměrovat uživatele Internetu do těch podstránek webů, které jsou pro ně zajímavé, atd. Intel dodává Pentium III s identifikačním kódem ve vypnutém stavu, který jde softwarově aktivovat.

Pentium III Coppermine

Coppermine je velmi podobný Pentium III. Hlavní změny jsou dvě. Procesor je vyráběn 0.18 mikronovou technologií - Intel si od toho slibuje možnost vyšších frekvencí procesoru (pro 0.25 mikronovou technologii bylo 600 MHz prakticky maximum). Další změna je integrovaná L2 cache. Ta je sice poloviční oproti Pentium III, ale na druhou stranu běží konečně na stejné frekvenci, jako procesor. Coppermine samozřejmě podporuje novější 133 MHz sběrnici, i když zpočátku je i několik typů pro 100 MHz FSB.

S uvedením tohoto procesoru představil Intel i nový formát pouzdra procesoru, FCPGA (Flip Chip Pin Grid Array). Umožní to, podobně jako u Celeronů, umístit L2 cache přímo do jádra Coppermine a zároveň tak snížit náklady na výrobu asi o $20. Formát FCPGA bude pinově shodný se Socket370 (patice pro Celerony), ovšem kdo si myslí, že mu poběží nová P III v celeroňácké základní desce, tak toho musím zklamat. Půjde to ovšem naopak, v motherboardu pro Coppermine budete moci použít Celerony, takže ti, kteří si v budoucnu nebudou chtít ihned koupit nejdražší procesor, budou moci zůstat u Celeronů a pak ho časem vyměnit za Coppermine.

Nové FCPGA Coppermine pracuje pod napětím 1,6 V, narozdíl od 2 V u současných Pentií III..

Značení

Pro označení nového jádra Coppermine používá Intel písmenko „E“ za hodnotou frekvence, pro označení 133 MHz sběrnice používá písmenko „B“. Vypadá to jednoduše, ale ve skutečnosti to tak jednoduché není, protože Intel není v písmencích důsledný (např. Pentium III 733 je Coppermine se 133 MHz, ačkoliv nemá žádné písmenko, které by něco takového naznačovalo). A navíc 133 MHz sběrnice ještě automaticky neznamená jádro Coppermine, protože i některé Katmaie běží na 133 MHz. Obecně se dá říct, že všechny procesory rychlejší než 600 MHz mají jádro Coppermine, existují v provedení jak pro Slot 1 tak Socket 370 (FC-PGA), ovšem ne všechny používají 133 MHz sběrnici. Další obecně platné pravidlo je, že žádný Katmai není v provedení FC-PGA, ale tím veškerá jednoduchost končí.

Podíváme se tedy postupně podle frekvence na všechny typy Pentium III procesorů. Ještě před tím ale trochu teorie – vlastnosti a rozdíly mezi Katmai a Coppermine jádry:

Katmai	Coppermine
0,25 mikronu	0,18 mikronu
32KB L1 cache	32 KB L1 cache
nemá integrovanou L2 cache	256KB L2 cache on-die
adresace 4 GB paměti	adresace 64 GB paměti
MMX, SSE instrukce	MMX, SSE instrukce

Hlavním vylepšením Coppermine je tedy menší jádro a integrovaná L2 cache běžící na plné rychlosti procesoru a možnost adresovat až 64 GB operační paměti.

Přehled Pentium III procesorů podle dostupných frekvencí:

Frekvence	Typ	Jádro	Sběrnice	Provedení
450MHz	450	Katmai	100MHz	Slot 1
500MHz	500	Katmai	100MHz	Slot 1
	500E	Coppermine	100MHz	FC-PGA
533MHz	533B	Katmai	133MHz	Slot 1
	533EB	Coppermine	133MHz	Slot 1 i FC-PGA
550MHz	550	Katmai	100MHz	Slot 1
	550E	Coppermine	100MHz	FC-PGA
600MHz	600	Katmai	100MHz	Slot 1
	600B	Katmai	133MHz	Slot 1
	600E	Coppermine	100MHz	Slot 1 i FC-PGA
	600EB	Coppermine	133MHz	Slot 1 i FC-PGA
650MHz	650	Coppermine	100MHz	Slot 1 i FC-PGA
667MHz	667	Coppermine	133MHz	Slot 1 i FC-PGA
700MHz	700	Coppermine	100MHz	Slot 1 i FC-PGA
733MHz	733	Coppermine	133MHz	Slot 1 i FC-PGA
750MHz	750	Coppermine	100MHz	Slot 1 i FC-PGA
800MHz	800	Coppermine	100MHz	Slot 1 i FC-PGA
	800EB	Coppermine	133MHz	Slot 1 i FC-PGA
850MHz	850	Coppermine	?	Slot 1 i FC-PGA
866MHz	866	Coppermine	?	Slot 1 i FC-PGA
900MHz	900	Coppermine	?	Slot 1 i FC-PGA
1000MHz	1000	Coppermine	?	Slot 1 i FC-PGA

1.13 Intel Mobile Petium III

Procesor Mobile Petium III byl uveden na trh v 18. ledna roku 2000.

Je určen pro mobilní počítače. Je vyráběn 0,18 mikronovou technologií s jádrem Coppermine.

Pro úsporu energie používá:

Technologie SpeedStep

Společnost Intel vyvíjela novou technologie pro snížení teploty poměrně dlouhou dobu. První procesory, které uvedla na trh pracují na frekvenci 600 a 650 MHz. Automaticky se přepnou na nižší frekvenci tj. 500 MHz, pokud jsou notebooky napájeny z baterií. Jestli je ale potřeby vyšší výkon, lze je softwarově přepnout zpět.

Pracovní napětí procesoru je pouze 1,35 V a odebírá 14 W. Při snížené frekvenci pak 7,9 W.

1.14 Intel Celeron

Intel se svými procesory Pentium II opustil definitivně platformu Socket 7 a vrhnul se na Slot 1, který nabízí širší možnosti. Přechod na novou platformu však přinesl zvýšení cen, takže intelovské procesory se cenově posunuly ještě výše nad už i tak levnější konkurenční AMD. To si v Intelu samozřejmě brzy uvědomili a přišli proto s levnější verzí Pentia II - Celeronem. Celeron (s kódovým názvem Covington, což je název jeho jádra) se od Pentia II lišil především odstraněním L2 cache, která se ze základní desky (v případě Socket 7) přesunula k procesoru. Nedostatek L2 cache se projevil samozřejmě snížením výkonu (zejména v obchodních operacích).

Proto Intel v nových verzích Celeronu (označovaných jako Mendocino) napravil tento nedostatek přidáním 128 KB on-die L2 cache, která pracuje na frekvenci procesoru.

Na první pohled vypadají oba Celerony - Covington i Mendocino - velmi podobně.

Kromě nápisu na desce (Mendocina jsou označována písmenem „A“) má Mendocino větší čip, což je dáno přidáním L2 cache (Covington obsahuje 7,5 milionu tranzistorů, zatímco Mendocino jich má 19 milionů). Oba Celerony (Covington i Mendocino) jsou vyráběny 0,25 mikronovou technologií.

Na rozdíl od Pentií II, které pracují se 100 MHz sběrnicí, jsou Celerony určeny pro 66 MHz sběrnici. Pro přetaktování je nepřijemné (stejně jako u Pentium II, III, AMD Athlon), že mají uzamčen násobič frekvence. Jediná možnost tudíž zůstávat zvýšit frekvenci sběrnice.

Celeron (Coppermine)

Nové procesory vycházejí z procesoru Intel Pentium III Coppermine. Jsou vyráběny technologií 0,18 mikronu a mají implementovanou sadu instrukcí SIMD pro zpracování především multimediálních dat (největší minus starých typů). Rozdíl oproti řadě Pentium III je v menší Level 2 cache 128 KB (ve skutečnosti jen na chipu 256 KB, polovina bude ale vadná nebo „vypojená“) a v FSB 66 MHz (očekává se i 100 MHz, ale ne v počátku dodávek). Frekvence by měly být „na úvod“ 566 a 600 MHz, později 700 MHz a možná i více.

2 Procesory firmy AMD

2.1 Procesor Am486

Firma AMD uvedla svůj procesor Am486 v dubnu roku 1993, a to procesor Am486 na 40 MHz a Am486 DX2 na 25/50 MHz. O těchto procesorech se zmíním jen okrajově, neboť to byly klony procesoru od firmy Intel.

Vlastnosti procesoru:

- write back cache se zpožděným zápisem
- 3 V napájecí napětí a zmenšená spotřeba energie při neaktivitě procesoru
- řízení vnitřními hodinami
- ztrojnásobená vnitřní frekvence
- standardní 168 pinová PGA patice

2.2 Procesor Am5x86

Procesor Am5x86 je dalším ve vývojové řadě procesorů firmy AMD. Tento typ procesoru lze velice dobře srovnat s procesory Intel Pentium 75 MHz nebo Cyrix 5x86 100.

Vlastnosti procesoru:

Vnitřní rychlost procesoru je 4 násobná a procesor používá 16 KB write-back cache. Pinově je kompatibilní s paticemi 168-PGA pro procesory 486 a využívá výhody rychlé sběrnice PCI. Integrovaný power managment umožňuje použití napájení 3 V. Procesor je vyráběn pokročilou 0,35 μm technologií.

2.3 Procesor AMD-K5

Technické údaje:

- CISC procesor se strukturou jádra obdobnou RISC s podobnou strukturou jako PentiumPro ROP
- výkon o 30 % větší než Pentium
- kompatibilita vývodů

- optimalizace překladu
- neefektivní zpracování 16ti bitových kódů
- superpipelining 6ti stupňový (dvoustupňové dekódování)
- čtyřkanálový (Quad Issue) procesor
- nesymetrické 2 ALU
  - 1. BCD
    - 1. dělení
    - 2. Posuny
  - FPU
- podporuje zavedení a vykonání instrukce mimo pořadí
- spekulativní výpočty
- predikce větvení - ke každé instrukci se přidává informace o větvení
- Cache: 16 KB pro data 8 KB pro instrukce
- 40 registrů
- 32 bitový AB
- 64 bitový DB
- kompatibilní vývody s Pentiem
- 4.3 mil tranzistorů
- technologie 0.5 µm
- 3.3 V

Jeho hlavními rysy jsou:

- 16 KBytová čtyřproudová obousměrná asociativní řádková instrukční vyrovnávací paměť
- 8 KBytová obousměrná 2 bránová čtyřproudová asociativní řádková datová vyrovnávací paměť
- 1 KBytová vyrovnávací paměť využívaná pro techniky předpovědi větvení, integrovaná, vysoce výkonná matematická jednotka pracující s pevnou i pohyblivou čárkou, s velice krátkou dobou na provedení výpočtu
- statické řízení hodin pomocí takzvaného PLL (Phase Lock Loop) schématu

Procesor AMD K5 byl uveden na trh 17. června 1996. Využívá nezávisle vytvořený superskalární design založený na RISCovém procesoru vyráběném pomocí moderní 0,35 mikronové technologie. Návrh architektury procesoru vychází z bohatých zkušeností v RISCové a x86 technologii, poskytujících pevný základ pro výrobu procesoru v pouzdře SPGA o 296 vývodech a obsahujícím přibližně 4,3 miliónu tranzistorů. Tento procesor je

řazen do páté generace. Během jediného cyklu je možné zpracovat až čtyři instrukce v šesti prováděcích jednotkách použitím technik předpovědi větvení a provádění instrukcí mimo pořadí. Oproti svému předchůdci z dílen AMD je procesor AMD-K5 vybaven možností instrukčního předdekódování, zlepšenou architekturou vnitřních vyrovnávacích pamětí a rychlejším přístupem k těmto vyrovnávacím pamětem i možností větvení a předpovědi.

Superskalární RISCové jádro procesoru:

RISCové procesory (neboli procesory s redukovaným instrukčním souborem) používají takové koncepce návrhu architektury procesoru, aby bylo možné dosáhnout zpracování jedné instrukce během jednoho strojového cyklu procesoru, což je obvykle prováděno pomocí optimalizujícího překladače, který program napsaný v problémově orientovaném jazyku přetvoří do jednoduchých strojových instrukcí, které je procesor schopen rychle vykonávat.

Superskalární jádro je naprosto nezávislé na instrukcích x86 díky konverzi instrukcí x86, které mají proměnnou délku na jednodušší stejně dlouhé RISC operace (ROPs), které jsou jednodušeji a rychleji zpracovávány. Jakmile jsou instrukce x86 konvertovány, jsou poslány superskalárnímu jádru po 4 ROPsech. Samotné superskalární jádro pak může zpracovat až 6 ROPsů v jednom strojovém cyklu. Superskalární jádro dále podporuje přednačítání instrukcí pro vykonávání po sobě následujících instrukcí a také přeskakování instrukcí pro okamžité urychlení vykonání po sobě nenásledujících instrukcí, čímž se eliminuje zpoždění pro nové načítání instrukcí právě potřebných pro okamžitý výpočet.

Přejmenování registrů procesoru AMD-K5

Architektura x86 má pouze osm univerzálních registrů, což při použití šesti nezávislých vykonávacích jednotek není mnoho, navíc tyto registry jsou hodně závislé, neboť když je používá jedna jednotka, nemůže je použít druhá. Procesor AMD-K5 používá jisté přejmenování těchto registrů kvůli odstranění jejich zmíněné závislosti. Pro každý fyzický registr jsou tedy definovány vícenásobné logické registry, které dovolují vykonávacím jednotkám současné použití stejného jména fyzického registru, aniž by došlo ke kolizi.

64 bitová datová sběrnice a rozhraní

Procesor AMD K5 používá 64 bitovou datovou sběrnici, která poskytuje větší propustnost a zároveň podporu pro 64 bitové přenosové cesty a řádkově naplňovatelnou vyrovnávací paměť pro načítání oddělených interních datových a instrukčních vyrovnávacích pamětí. Jakmile data a instrukce vstoupí na rozhraní procesoru, je interní vyrovnávací paměť postupně naplňována rychlostí pěti hodinových cyklů připadajících

na naplnění jedné řádky této vyrovnávací paměti. Zvýšená šířka datové sběrnice procesoru a proces naplňování vyrovnávací paměti tak redukuje zpoždění zpracování instrukcí, podporuje nadřazený procesor a celkově zvyšuje systémový výkon.

Předpovídání instrukčních větvení

Větvení se vyskytuje průměrně jednou za sedm x86 operací. Když se nějaké větvení vyskytne, procesor předpovídá, která větev instrukcí bude následovat. Procesor zároveň přidává informace o předpovězeném větvení ke každé řádce instrukcí v interní řádkové instrukční procesorové vyrovnávací paměti. Tato informace indikuje v rámci této řádky v interní instrukční vyrovnávací paměti cílovou adresu první větve instrukcí, u které bylo předpovězeno, že by měla nastat. Tento větvící a předpovídající mechanismus připouští až 1024 větví a 75% správnost předpovědi větvení. I přes to, že při nesprávně předpovězeném větvení následuje trest minimálně 3 cyklů navíc, je tento mechanismus předpovědi větvení výhodný a optimalizuje procesorové vykonávání x86-ého softwaru, jako je např. operační systém Microsoft Windows a přidružené aplikace.

Předdekódování instrukcí x86

Každý byte kódu, který vstoupí do procesoru, je opatřen asociativní informací, která identifikuje hranice jednotlivých x86 instrukcí a umožňuje uspořádání vícenásobných x86 instrukcí. Kromě toho, že předdekódovaná informace oznamuje, kde instrukce x86 začíná a končí, obsahuje navíc počet jednotlivých Riscových operací (ROPsů), které x86 instrukce bude potřebovat pro pozdější překlad. Poté, co jsou instrukce předdekódovány, jsou nataženy do vnitřní instrukční vyrovnávací paměti, pravděpodobné instrukce (instrukce z předpověděné větve) jsou vloženy do Bytové fronty a čekají na pozdější dekódování. Bytová fronta obsahuje nejen x86 instrukce, ale i asociované předdekódované informace, které označují pozici instrukce a typ operace.

Konverze a dekódování x86 instrukcí

Logický instrukční tok v procesoru pokračuje po předkódování tak, že 32 bytové předkódované x86 instrukce jsou vyjmuty z Bytové fronty a posíleny postupně do dekodéru. Procesor pak dekóduje tyto složené x86 instrukce do jednotlivých, rychle proveditelných a stejně dlouhých ROPsů. Na začátku dekódovacího procesu dekodér zkoumá složené x86 instrukce a alokuje jednotlivé x86 instrukce v rámci složené x86 instrukce. Tato alokace závisí na 5 bitovém označení, které každá x86 instrukce dostala při překódování. Jakmile složená instrukce projde procesorovým dekodérem, je známo,

kolik ROPsů je potřeba na vykonání této instrukce, čímž se šetří čas při následném vykonání.

Samotný dekodér má 4 dekódovací pozice. Proto x86 instrukce, kterým odpovídají čtyři a méně ROPsů, jsou přímo posílány do dekodéru, a složené x86 instrukce, kterým odpovídají více než čtyři ROPsy, jsou přemístěny do MROM (Microcode ROM), kde jsou pak konvertovány na 4 ROPsové sekvence. Po konverzi a dekódovaní jsou ROPsy paralelně rozesílány do jednotlivých šesti vykonávacích jednotek.

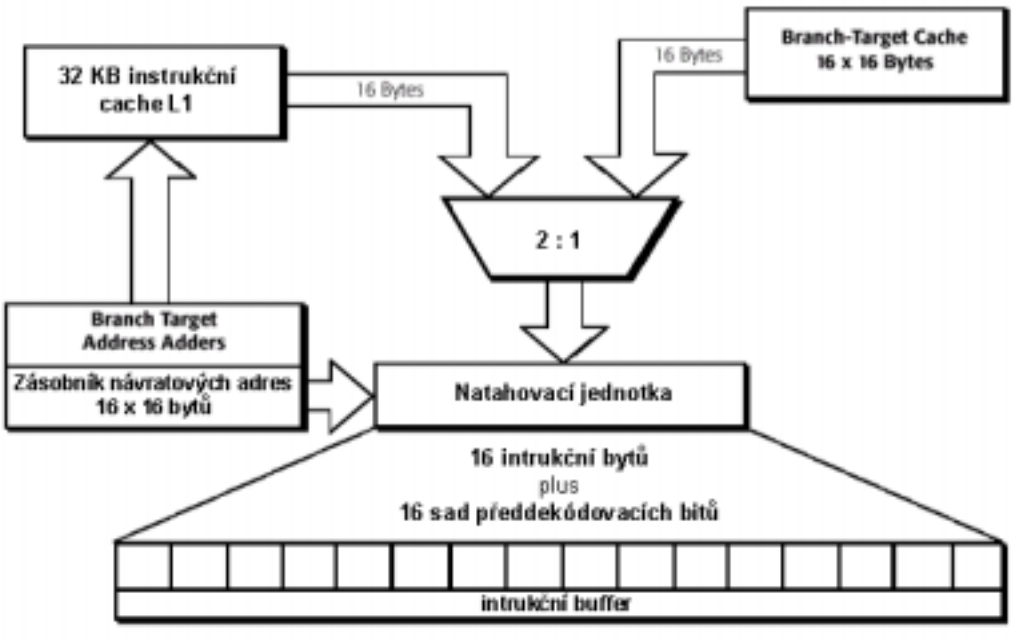
2.4 Procesor AMD-K6

Poté, co AMD koupila firmu NexGen, použila její architekturu procesoru do svého nového čipu AMD K6. Tím částečně přiznala, že její dosavadní procesory nedosahovaly požadovaného výkonu.

Procesor AMD K6 je šesté generace a využívá superskalární architektury RISC86, takže může vykonávat šest instrukcí současně. K dispozici má sedm paralelních jednotek, z toho jedna je jednotka MMX a jedna pro počítání v plovoucí čárce. Jeho součástí je rovněž několik sofistikovaných dekodérů instrukcí z instrukční sady x86 do instrukční sady RISC86. Přímo v procesoru jsou obsaženy velké primární vyrovnávací paměti, instrukční a datová, po 32 KB. Součástí procesoru je vysoce výkonná aritmetická jednotka pro výpočty v plovoucí čárce a další jednotka pro provádění instrukcí MMX.

Vnitřní architektura AMD-K6 se vyznačuje především těmito vlastnostmi:

- superskalární
- vícenásobným dekodérem instrukcí řady x86 do RISC86
- dvouúrovňovým předvídáním skoků
- spekulativním prováděním instrukcí
- prováděním instrukcí mimo pořadí
- přejmenováním registrů
- 64 KB vyrovnávací pamětí na čipu



Predekódovací jednotka

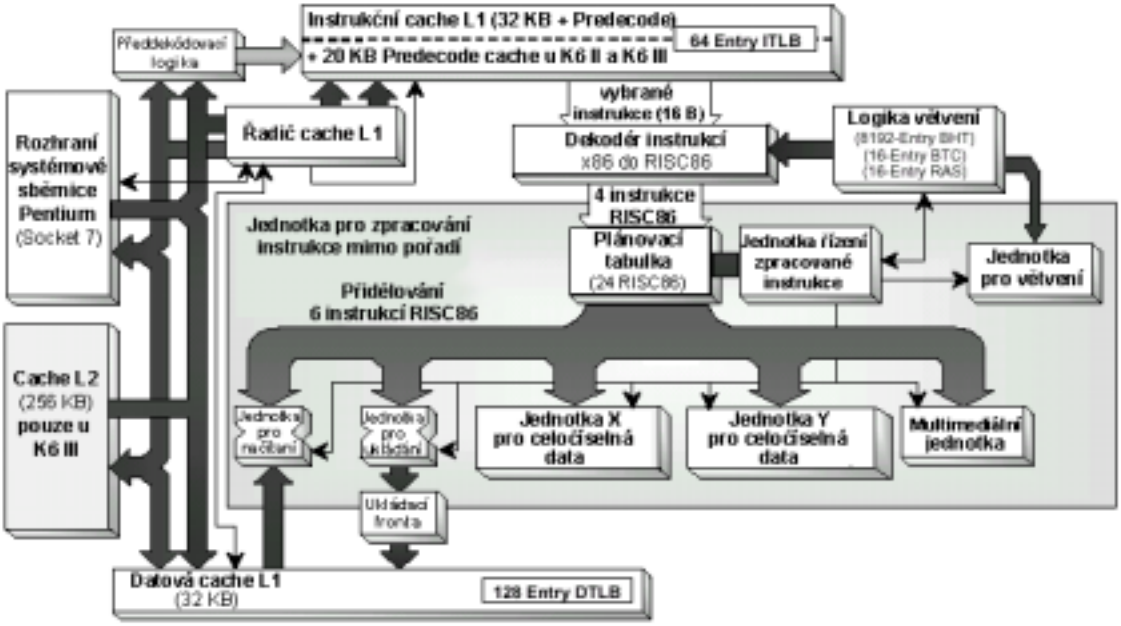
Predekodér

Dekódování x86 instrukcí je poměrně složitá záležitost, protože instrukce mají proměnnou délku od 1 do 15 Bytů. Predekódovací logika dokáže poskytnout dekodéru informace o tom, kde která instrukce začíná a kde končí, což zvyšuje výkon dekodéru. výsledná označení začátků a konců instrukce jsou ukládána do L1 instrukční cache, která je mezi prekodérem a kodérem. Instrukční cache pojme 32 KB instrukcí a jejich predekódovací bity. Cache samozřejmě obsahuje bity podle MESI standardu, když přicházejí nová data.

Dekódéry

Dekódování instrukcí x86 začíná, když je naplněna vnitřní cache v procesoru. Procesor může natáhnout během jednoho hodinového cyklu až 16 Bytů z instrukční cache. Natažené instrukce jsou přesunuty do 16 Bytového instrukčního bufferu, který je posílá přímo dekodéru. Natahovací logika je schopná vytáhnout z 32 Bytového instrukčního rámce 16 za sebou jdoucích instrukčních Bytů. Logika je schopna to zvládnout i v případě, že se těchto 16 Bytů nachází na rozhraní dvou rámců. Ani v takovémto případě se neztratí hodinový cyklus. Poté jsou instrukce přesunuty do instrukčního bufferu a zpracovány dekodéry. Přestože instrukce jsou zarovnávány s Bytovou přesností, instrukční buffer je zarovnává na slova. Proto jsou instrukce z instrukční cache také poskytovány po blocích

zarovnaných na celé dva Byty. Když přijde ovládací instrukce (např. skoková – JMP), celý instrukční buffer je vyprázdněn a nahrazen novou sadou 16 Bytů.



Blokové schéma procesoru AMD-K6, K6III

Dekódovací logika je navržena k tomu, aby uměla zpracovat více x86 instrukcí během jediného hodinového cyklu. Dekodér přijímá Byty x86 instrukcí a jejich predekódované bity z instrukčního bufferu, označuje aktuální hranice instrukcí a generuje z nich operace RISC 86.

Operace RISC86 jsou vnitřní instrukce s pevným formátem. Mnoho z nich je vykonáno během jediného hodinového cyklu. Z instrukcí RISC86 lze složit každou instrukci x86. Existují instrukce x86, které po dekódování nejsou žádné RISC86 operací – např. instrukce NOP, nebo pouze jedinou operací - přičítání z registru do registru. Komplexnější instrukce x86 jsou dekódovány do několika RISC86 operací.

K6 obsahuje tři sady dekodérů – dva paralelní krátké dekodéry, jeden dlouhý a jeden vektorový dekodér. Paralelní krátké dekodéry jsou určeny pro překládání nejčastěji užívaných x86 instrukcí (přesuny, rotace, větvení, ALU, MMX, FPU) do žádné jedné nebo dvou RISC86 operací. Krátké dekodéry zpracovávají instrukce x86 pouze tehdy, pokud jsou kratší než 8 Bytů. Navíc jsou konstruovány tak, aby byly schopné přeložit dvě krátké instrukce během jediného hodinového cyklu. Často jsou v kódu zastoupeny instrukce delší než 7 Bytů, ale kratší než 12 a ty jsou zpracovány nepárovým dlouhým dekodérem, který je překládá až do 4 RISC86 operací. Všechny ostatní instrukce jsou zpracovány kombinací vektorového dekodéru a sekvencí RISC86 instrukcí načtenou z paměti ROM čipu.

Centrální plánovač

Plánovač je srdcem procesoru AMD-K6 MMX. Obsahuje logiku, která je potřebná k provádění instrukcí mimo pořadí, postupování dat, přejmenování registrů a zpracování více RISC86 instrukcí zároveň. Buffer v plánovači má kapacitu 24 RISC86 instrukcí což odpovídá maximálně 12 x86 instrukcím. Pokud je to možné, plánovač může simultánně rozesílat RISC86 operace do jakékoliv volné exekutivní jednotky (ukládací, načítací, větvící, celočíselné, multimediální nebo FPU). Celkem může plánovač rozeslat až šest RISC86 operací a odebrat 4 RISC86 operace během jediného hodinového cyklu. Výhodou plánovače je to, že si může až 12 operací přeorganizovat tak, aby optimalizoval jejich provádění. To je způsobeno paralelní řízením toku operací RISC86. Přestože plánovač rozesílá RISC86 i mimo pořadí, z dekodéru přijímá dekódované x86 instrukce sekvenčně.

Exekutivní jednotky

Procesor AMD K6 obsahuje šest základních exekutivních jednotek – ukládací načítací, větvící, celočíselnou X, celočíselnou Y, multimediální a jednotku pro počítání v plovoucí čárce.

Předvídání skoků

Logika předvídání skoků v AMD K6 je implementována proto, aby zamezila zbytečným prodlevám při řešením podmíněných skokových instrukcí. Dvouúrovňový algoritmus na zpracování historie skoků posílá své výsledky do výsledkové tabulky o 8 192 položkách. Aby procesor nemusel mít příliš velkou tabulku a mohl disponovat spíše více položkami, do tabulky se neukládají předpověděné cílové adresy. Místo toho jsou plynule dopočítávány v případě potřeby speciální aritmetickou jednotkou během doby, kdy jsou instrukce v dekodéru. Jednotka spočítá všechny možné adresy a procesor si po dokončení vybere tu adresu, která platí.

Celková úspěšnost předvídání skoků je vyšší než 95 %.

Zásobník návratových adres

Zásobník návratových adres je speciální zařízení určené k tomu, aby optimalizovalo zpracování párových instrukcí CALL a RET. Programy jsou běžně kompilovány s rutinami, které jsou často volány pomocí instrukce CALL. V tomto okamžiku procesor odloží aktuální adresu do zásobníku, skočí do rutiny a tu začne provádět. Na konci je instrukce RET, při které procesor ze zásobníku opět natáhne adresu, z níž byla rutina volána, a vrátí se na ni. Aby K6 zkrátil čas natahování návratové adresy ze zásobníku, udržuje si ji v rychlé paměti, odkud ji použije, když přijde instrukce RET.

Jednotka provádění skoků

V této jednotce nastává spekulativní provádění instrukcí. Tato jednotka dává procesoru možnost řešit instrukce za podmíněnými skoky ještě předtím, než se k těmto instrukcím program dostane, a dokonce ještě před tím , než je jisté, že tato větev programu bude použita. Procesor totiž průběžně neobnovuje x86 registry, ale uchovává si výsledky ve svých vnitřních registrech. Pokud je předpověď nesprávná, všechny použité registry se vynulují a procesor se chová, jako by k předvídání vůbec nedošlo. AMD K6 může takto zpracovat až sedm nezávislých větví.

2.5 Mikroprocesor AMD K6-2

Procesor K6-2 je přímým nástupcem K6. Vnitřní architektura je sním totožná.

U tohoto procesoru se poprvé objevuje technologie 3DNow!. Je to vlastní AMD instrukční sada pro zpracování videa a audia, která si získala oblibu programátorů. Hlavní rozdíl mezi MMX a 3DNow! je ten, že MMX je zaměřen na operace v pevné čárce, zatím 3DNow! rozšiřuje instrukční řadu o dalších 21 SIMD (Single Instruction Multiple Data) nových instrukcí zaměřených na operace v plovoucí čárce. To dovoluje zrychlení operací v plovoucí desetinné čárce. Během jednoho hodinového cyklu jsou tedy dokončeny čtyři instrukce. Technologie 3Dnow! je plně podporována DirectX 6.1.

Procesor je vyráběn 0,25 mikronovou technologii a je zatím na frekvenci 266 – 550 MHz. Obsahuje 9,3 milionů tranzistorů a opět obsahuje 64 KB L1 cache. Název tohoto nového standardu pro základní desky je „Super7“. Super7 obsahuje také AGP slot, USB porty, podporu pro SDRAM, Ultra DMA a hlavně již zmíněnou 100 MHz sběrnici.

CXT jádro

AMD u posledních modelů přece jen vylepšila jádro procesoru. Nejde sice o nějakou převratnou změnu, ale úprava dokáže za nejpříznivějších podmínek přidat na výkonu přibližně 7 %. Bohužel za jiných nepříznivých okolností dokáže výkon celého systému i snížit. Nové jádro se snaží zvětšit výkon při zápisu do operační paměti. Pomocí metody write combining (spojování zápisu) se AMD snaží, aby zápis probíhal ve větších částech, aby se procesor neobracel s každou drobností. K tomu účelu slouží zápisové buffery v procesoru, kde se ukládají data pro zápis. Teprve až se naplní nad určitou hranici, dojde k přepisu do paměti. To uvolňuje paměťovou sběrnici od nadbytečných aktivit. Nejde o žádný nový objev, protože této metody využívají již všechny Intel procesory šesté generace, tedy od PentiaPro. Metodou write combining se vylepšuje jiný původní rys AMD procesorů – write allocation.

Bios základní desky musí tento rys podporovat, jinak není využit. Metoda je založena na úvaze, že pravděpodobnost zápisu do paměti na místo, blízké předchozímu zápisu, je vyšší než na jiné, adresně odlišné místo. Víme, že pokud nejsou data uložena v L1 Cache, je k nim mnohem delší doba přístupu. AMD se snaží tento nedostatek napravit. Celý trik spočívá v tom, že je zaznamenáno místo posledního zápisu a uloženo zpětně do L1 cache, i když tam před tím nebylo. Jinými slovy byl proveden dotaz na nekešovaná data a potom se zaznamenala cesta k příslušnému místu. Následující žádost tak může vyřídit velmi rychle.

Nové jádro CXT musí být podporováno biosem základní desky, jinak může dojít k nežádoucímu efektu – ke zpomalení.

Jádro CXT obsahuje též K6 III a K6-2+.

2.6 Mobile K6-2 a K6-2-P

Oba procesory jsou výbavou stejné, liší se jenom v tom, že jsou připraveny pro mobilní počítače.

Mobile K6-2 je procesor, který pro svou práci spotřebuje pouze 8 W a tak je pro notebooky nejvhodnější.

U procesoru K6-2-P bylo dbáno spíše na výkon, takže jeho úspora není tak velká.

2.7 K6-III

Tento procesor je opět vybaven 3DNow!. Obsahuje 21,3 milionů tranzistorů a je vyráběn na 0,25 mikronové technologii. Procesor má dvě cache, L1 a L2. L1 je standardní výbava řady K6 a má 64 KB a L2 cache je o velikosti 256 KB, která běží plnou rychlostí procesoru. Vnitřní design cache, nazývaná TriLevel Cache, umožňuje 64 bitové čtení a zápis, 4 cestný přístup k L2 a 100 MHz sběrnice zajišťuje optimální přístup k externí L3 cache. Technologické problémy neumožnily jít společnosti AMD na vyšší frekvence, takže zůstalo pouze u dvou modelů 400 MHz a 450 MHz.

2.8 K6-III-P

Opět verze pro notebooky procesoru K6-III.

2.9 K6-2+

Jelikož procesor K6-III je výrobně dosti nákladný a jeho výkon nedosahuje tak vysoké úrovně, rozhodla se firma AMD vyrobit odlehčený procesor.

K6-2+ tedy vychází z K6-III, to znamená, že bude mít integrovanou L2 cache, ovšem pouze 128 KB (K6-III má 256 KB) a bude mít rozšířenou sadu instrukcí 3DNow! (přibude 24 instrukcí, které již používá Athlon). Asi největší změnou ale bude přechod k 0,18 mikronové výrobě.

Zajímavé na K6-2+ je zmenšení L2 cache paměti z 256 KB na 128 KB. AMD k tomuto kroku sáhla jednak proto, že K6-2+ by měl být přímým konkurentem Celeronům a jednak proto, že nárůst výkonu díky větší L2 cache je malý. To s sebou přináší jednu zajímavou skutečnost, upravené K6-III procesory mohou být prodávány jako K6-2+, i když budou mít plných 256 KB L2 cache. AMD prostě povolí pouze 128 KB, zbývajících 128 KB bude údajně možné (u některých kusů K6-2+) povolit v BIOSu.

Značení procesorů řady AMD K6

Procesory K6-2 do 400 MHz se značí kódem AFR, pokud jsou pro sběrnici 100 MHz, pokud jsou pro sběrnici 66 MHz, mají označení AFR-66. Můžete se setkat i s procesory K6-2 pro 66 MHz sběrnici bez označení – jde o starší typy, z doby, kdy se ještě varianta pro 100 MHz sběrnici nevyráběla. Od frekvence 450 MHz se K6-2 značí AFX. Všechny nové procesory K6-2 běží na 2,2 V, je možné se setkat se staršími modely, kde K6-2 400 běží na 2,3 a K6-2 450 na 2,4 V. Na to je třeba si dát pozor, abyste do 2,2 V procesoru nepustili omylem 2,4 V. Naštěstí je na procesoru vždy uvedeno, jaké napětí jádro používá, takže se stačí jen podívat. Procesory K6-III se vyrábějí buď s označením AHX (2,4 V) nebo AFX (2,2 V), stejně jako u K6-2 je napětí na procesoru vždy uvedeno.

Srovnání parametrů procesorů Intelu a AMD:

Procesor	Rozsah frekvencí	Patice	Vyrovnávací paměť L1	Vyrovnávací paměť L2	Rozšířená instrukční sada	Sběrnice
K6-2	300-550	Super7	64	0-2 MB (deska)	MMX, 3DNow!	66/100
K6-III	400-450	Super7	64	256 KB (+L3 na desce)	MMX, 3DNow!	100
Athlon	500-1000	SlotA	128	512*	MMX, Enhanced 3DNow!	200
Celeron Celeron ***	300-533 566-600	PPGA / FCPGA	32 32	128 128	MMX MMX, SSE	66 66
Pentium II	233-450	Slot1	32	512 *	MMX	100
Pentium III	450-1000	FCPGA /Slot1	32	512 * 256 **	MMX, SSE	100-133

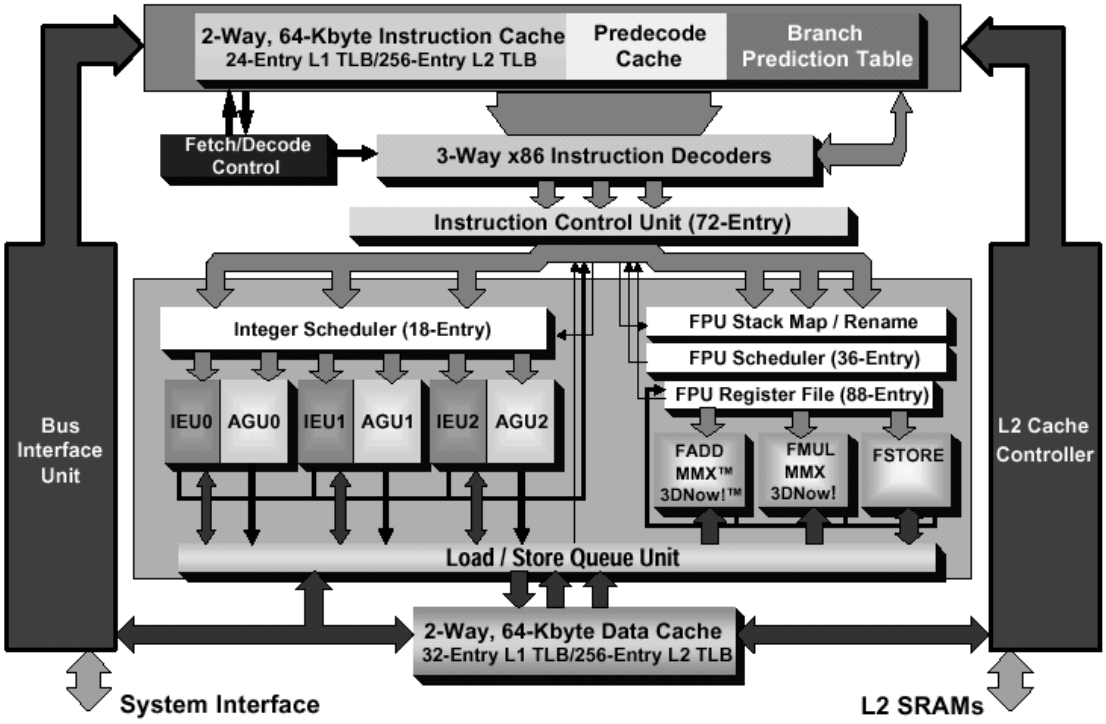
*) Vyrovnávací paměť běží na polovině vnitřní frekvence procesoru

**) Jedná se o procesor Pentium III Coppermine

***) Jedná se o procesor Celeron Coppermine

2.10 K7 Athlon

AMD Athlon je založen na sedmé generaci architektury x86, která je vybavena superpipeliningem, devíti-výstupovou superskalární architekturou optimalizovanou pro vysoké frekvence (tiků časovače). AMD Athlon má rozdělenou rozlehlou dual-portovou 128 KByte L1 cache na 64 KByte instrukční cache a 64 KByte datovou cache, dále dvoucestnou, 2 048 položkovou stromovou predikční tabulku, pár paralelních dekodérů x86 instrukcí a několik celočíselných (integer) a plovoucí-čárka plánovačů pro nezávislé superskalární spekulativní provádění instrukcí mimo-pořadí (out-of-order). Tyto elementy jsou vloženy do jedné agresivně pracující pipeline, která obsahuje 10 stupňový celočíselný pipelining a 15 stupňový pro pohyblivou čárku.



Blokové schéma procesoru AMD-K7

Predekodér

Dekódování x86 instrukcí je poměrně složitá záležitost, protože instrukce mají proměnnou délku od 1 do 15 bytů. Predekódovací logika dokáže poskytnou dekodéru informace o tom, kde která instrukce začíná a kde končí, což zvyšuje výkon dekodéru. Výsledná označení začátků a konců instrukce jsou ukládána do L1 instrukční cache, která je mezi predekódérem a kodérem. Instrukční cache pojme 64 KB instrukcí a jejich predekódovací bity.

Dekodéry (Multiple Decoders)

Athlon procesor obsahuje tři x86 dekodéry. Tyto dekodéry překládají x86 instrukce do MacroOPerand (MakroInstrukce – riscové instrukce, u K6 se nazývaly RISC86) o pevné délce pro zvýšení průchodnosti procesoru a pro zvýšení výpočetního výkonu. Namísto provádění x86 instrukcí, Athlon zpracovává stejně-dlouhé MacroOPs, při zachované efektivitě kódování instrukcí jako v x86 programech.

Jednotka řízení zpracování Instrukcí (Instruction Control Unit = ICU)

Je srdcem procesoru Athlon. Obsahuje logiku, která je potřebná k zavádění a dokončování instrukcí mimo pořadí, přejmenování registrů.

Jakmile jsou MacroOPs dekódovány, jsou max. po třech MacroOperandech za jeden cykl odeslány instrukční kontrolní jednotce (ICU). ICU obsahuje 72. položkový MacroOPs záznamový buffer (RecordOperandBuffer=ROB) který řídí zpracování a vyřazování všech MacroOPs, provádí přejmenovávání registrů pro operandy a kontroluje jakékoli vyjímečné stavy a operace související s vyřazováním instrukcí. ICU odesílá MacroOPs plánovačům instrukcí uvnitř Athlonu.

Výkonné pipeliningy (Execution pipelines)

AMD Athlon obsahuje 18 stupňový celočíselný (integer/adresa) plánovač a 36 stupňový plánovač určený pro plovoucí čárku. Tyto plánovače posílají MacroOperandy devíti nezávislým výkonným pipelinům - tři jsou pro integer výpočty, tři pro výpočty adres a tři pro provádění MMX,3DNow! a x87 plovoucí-čárka instrukcí.

Athlon procesor nabízí velmi silný architektonicky pokročilý způsob zpracování operací v plovoucí čárce, jaký byl kdy na platformě x86 vyvinut. Athlonova schopnost tří výstupních, superskalárních výpočtů v plovoucí čárce je založena na třech pipelinovaných, mimo pořadově pracujících výkonných blocích, každý pak má jednocyklovou průchodnost. Tyto tři vykonávající jednotky (FMUL, FADD a FSTORE) provádějí všechny x86 (v plovoucí čárce) instrukce, MMX instrukce a rozšiřující 3DNow! instrukce. Použitím datového formátu a jedno instrukčních všeobecně datových operací (SIMD) založených na MMX instrukčním modelu, Athlon procesor může zpracovat až 4 32-bitové instrukce s výsledky v plovoucí čárce v jednoduché přesnosti, což způsobuje výkonnost 2.4 Gflopů při taktu 600 MHz.

Předpovídání větvení (Branch prediction)

Logika předvídání větvení (skoků) je zde implementovaná proto, aby zamezila zbytečným prodlevám při řešení podmíněných skokových instrukcí.

AMD Athlon nabízí sofistikovanou dynamickou větvenou predikční logiku k minimalizaci či eliminaci prodlev a čekání kvůli adresním instrukcím, což jsou běžné instrukce softwaru pro x86.

Procesor obsahuje následující části:

- predikční tabulku větvení

- tabulku cílových adres větvení
- návratový adresový zásobník

Athlon procesor implementuje dvoucestnou, 2 048 položkovou predikční tabulku větvení. Tabulka predikce větvení obsahuje predikční informace, které jsou použity pro predikci směru odskoku v podmíněných větvích. Tabulka cílů větvení (odskoků), obsahuje cílové adresy podmíněných a nepodmíněných větví. Zásobník návratových adres optimalizuje CALL a RET páry instrukcí pomocí uložení adresy při každém provádění instrukce CALL (volej) uvnitř vhnízděných serií podprocedur a poskytuje návratovou adresu jako předpokládanou cílovou adresu při vykonání odpovídající RET (return-návrat) instrukce.

Rozšířená technologie 3DNow! (Enhanced 3DNow! Technology)

AMD Athlon procesor obsahuje rozšířenou 3DNow! technologii zaměřenou na 3D multimediální výkonnost v nových rozměrech. Rozšířená 3DNow! technologie implementovaná v Athlonu obsahuje originál 21 AMD instrukcí (první průmyslová instrukční sada pro x86 ke zvýšení 3D výkonnosti pomocí SIMD superskalárních výpočtů v plovoucí čárce), plus 24 nových instrukcí, které pokrývají následující funkce:

- 12 instrukcí které zlepšují multimediálně rozšířené integer výpočty používané v aplikacích jako rozpoznávání řeči či zpracování videa.
- 7 instrukcí které urychlují přenos dat pro detailnější grafiku a funkčnost pro plug-iny internet-prohlížečů a jiné streamingové aplikace (pracující s proudy dat). Umožňuje tak bohatší zážitky z Internetu.
- 5 instrukcí pro zpracování DSP (Digital signal processing) signálů, které zvyšují výkonnost komunikačních aplikací včetně modemů, ADSL, MP3 a Dolby Digital Surround zpracování zvuku.

V rozšiřování 3DNow! technologie udržuje AMD instrukční sadu jednoduchou, ale výkonnou. AMD ve vyvíjení nových 3DNow! instrukcí plánuje zprostředkování silné SIMD výkonnosti při možnosti velké podpory softwarových vývojářů. Relativně málo instrukcí rozšířené 3DNow! technologie dovoluje vývojářům přijmout tuto technologii a rychle optimalizovat své aplikace.

Cache architektura (Cache architecture)

Vysoce výkonná cache architektura Athlonu obsahuje integrovanou 64 bitovou, duálně-pórtovou 128 KBytovou dělenou L1 cache paměť se separátním portem, více úrovňovými překladovými buffery a měnitelným L2 cache kontrolerem se

72 bitovým (64 bitů data + 8 bitů ECC) rozhraním pro až 8 MB průmyslové standardní SDR nebo DDR SRAM paměti a integrovaný přídavek pro nejvíce využívaných dat v L2. (Tento přídavek vlastně obsahuje popis nejčastěji požadovaných dat, je tak velký, že může kompletně popsat maximálně 512 KBytů dat v L2).

Integrovaná L1 cache procesoru slučuje dvě 64 KBytové dvoucestné asociativní cache paměti (datová+instrukční) členěné do skupin. Datová cache má 8 bank k podpoře současného přístupu dvěma 64 bitovými načítači či ukladači. Instrukční cache obsahuje predekódovaná data k podpoře několika vysoce výkonných instrukčních dekodérů. Robustní bi-level (dvou-úrovňová) TLB struktura minimalizuje kód a prodlevy dat při přístupu do fyzické paměti.

Kontroler cache L2 funguje na programovatelné frekvenci kvůli kompatibilitě s množstvím průmyslových standardů SRAM včetně DDR. Integrovaný L2 cache přídavek zprostředkovává plný popis pro 512 KBytu L2 cache nebo částečný popis pro větší L2 cache.

Rozhraní systémové sběrnice (System Bus Interface)

200 MHz vnitřní systémová sběrnice je nejrychlejší implementací pro x86 platformu. Dosahuje tak vysoké výkonnosti, jaká je dosahována v systémových rozhraních procesorů Digital Alpha EV6 a znatelně zvyšuje systémovou výkonnost a podává tak slušný výkon pro dnešní ale i budoucí aplikace. Systémová sběrnice nabízí rozšířené vlastnosti jako je zdroj synchronních signálů pro vysokorychlostní 200 MHz až 400 MHz operace, bod-k-bodu (point-to-point) topologii pro špičkové datové pásmo nezávislé na počtu procesorů, paketově-založené přenosy pro vylepšený transakční pipelining, obsáhlé 64 bytové burst data přenosy, 8-bitovou ECC ochranu dat a instrukcí, nízko napěťovou signalizaci pro vysokou výkonnost, nízko nákladové motherboard implementace a schopnost adresovat více než 8 terrabytů fyzické paměti.

200 MHz systémová sběrnice implementovaná v Athlonu je schopna odesílat data rychlostí - 1.6 GBytů za vteřinu - tj. dvakrát tolik než předchozí generace procesorů. S vlastním zdrojem synchronních tiků, je tato sběrnice Athlonu schopna pracovat až na 400 MHz.

Technologie výroby(Process technology)

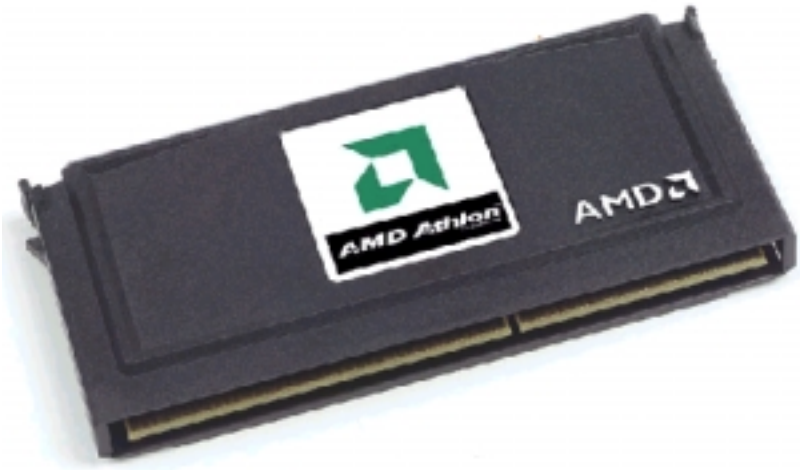
AMD Athlon procesor je vyráběn na AMD šesti vrstvovém základu, 0.25 mikronovou technologií a nově pomocí 0.18 mikronové technologie (v továrně v Drážďanech bude použita jako poprvé při výrobě CISC procesorů měděná technologie). V 0.25 mikonové technologii obsahuje Athlon přibližně 22 miliónů tranzistorů na ploše 184 mm čtverečních. V 0.18 mikronové technologii obsahuje toto množství tranzistorů na ploše 102 mm

čtverečních. Athlon je osazen do cenově efektivního průmyslového standartu - Slotu A, který je mechanicky kompatibilní s existující infrastrukturou Slotu 1 a také používá standardní tepelné rozsahy, zdroj napětí a základní desku.

Závěr:

Procesory AMD sedmé generace umožňují díky své architektuře a vysoce propustné sběrnici velmi vysokou výkonnost na bázi x86 procesoru. AMD také znatelně překonává předchozí generace x86 procesorů a poskytuje nejvyšší výkonnost v celé, ale i v plovoucí čárce, dále i pro 3D multimediální aplikace pro platformu x86, jak prokazují i průmyslové testy (benchmarks).

AMD tak zprostředkovává průmyslově vedoucí výpočetní sílu pro softwarové aplikace včetně vývoje v digitálních oblastech, editaci fotografií, videa, komprese obrázků, kódování videa i pro internet, DVD operací, CAD aplikací, komerčního DTP i rozpoznávání řeči.



2.11 Spitfire

Spitfire je levnou verzí Athlonu s 64 KB on-die L2 cache. Spitfire by měl nahradit K6 2, o kterém se již začíná mluvit jako o „mrtvém”. První procesory budou na frekvencích 550, 600, 650 a 700 MHz.

3 Procesory firem Cyrix a IBM

3.1 Cyrix 486

3.2 Cyrix 5x86

Srovnatelný s Pentiem 75

3.3 Procesor 6x86

Technické údaje:

- 32 bitový AB,
- 64 bitový DB
- superpipelining 7 stadií
- dvoukanálový (dual-issue)
  - kanál X (hlavní)
  - kanál Y
- superskalární symetrický
  - nelze párovat pouze
    - násobení
    - dělení
  - podmíněné skoky pouze v X kanále
- FPU
  - přejmenovávání registrů
    - 8 aktivních registrů ze 32
    - data bypassing i data forwarding
  - dynamické předvídání větvení
    - s vyrovnávací pamětí výsledků
    - 256 větvení
    - 4 stavová historie
    - zásobník pro 8 návratových adres
- podporuje vykonání instrukce mimo pořadí stupňové spekulativní výpočty (pro 4 podmíněné skoky)
- 16 KB cache + 256 bytů instrukční fronta

- pouzdro P54C (P200+) - zaměnitelný s Pentiem
- kompatibilita vývodů s Pentiem
- velké rozměry 20.3 x 19.4 mm
- 3 miliony tranzistorů
- CMOS 0.5 µm,
- 3.3 V
- vysoký ztrátový výkon
- skutečné frekvence jsou 100, 110, 120, 133, 150 MHz a tedy nestandardní frekvence sběrnic 50, 55, 60, 66, 75 MHz
- vnitřní frekvence je vždy dvojnásobná
- má optimalizované instrukce pro 16ti bitové aplikace, a tedy je pro tyto aplikace výkonnější

Mikroprocesor Cyrix 6x86 byl uveden na trh 2. října 1995. Procesor označovaný jako CYRIX 6x86 je vyráběn přímo CYRIXem a procesor s označením IBM 6x86 vyrábí společnost IBM.

Nevýhoda tohoto procesoru je, že potřebuje kvalitní aktivní chlazení, protože pracuje s napětím 3,2 V. Ztrátový tepelný výkon může dosahovat až 28 W.

Popis zřetězení:

IU obsahuje dvě 7 stupňová celočíselná zřetězení, pojmenovaná X a Y pipelines, pomocí nichž je schopna paralelně provádět 2 instrukce. Jednotlivé stavy jsou:

- prefetch – volání instrukcí (PF),
- dekódování instrukcí 1 (ID1),
- dekódování instrukcí 2 (ID2),
- výpočet adresy 1 (AC1),
- výpočet adresy 2 (AC2),
- provádění (EX),
- write-back (WB).

Volání instrukce – PF

PF je společný pro X a Y pipeline. Během tohoto stupně je 16 bytů kódu vykonáno za jeden takt z paměti subsystému. Dále tok kódu je kontrolován ke zjištění výskytu instrukcí, které modifikují normální sekvenční průběh programu. Tyto instrukce se vztahují k větvení instrukcí.

Existují dva typy větvení instrukcí:

1. nepřímé,
2. přímé.

Jestliže je jeden typ větvení detekován, tak předpověď větvení logicky poskytne předpověděnou cílovou adresu pro větvení. Prefetch stupeň pak začíná přenášet předpověděnou adresu.

Dekódování instrukce – ID

ID stupeň je superpipelined a skládá se ze dvou substupňů ID1 a ID2. ID1 ohodnotí poskytnutí pomocí prefetch stupňů a rozhodne, jaký bude počet bytů instrukce proprovedení dvou instrukcí na clock. ID2 stupeň pak dekóduje dvě instrukce a zvolí buď X nebo Y pipeline pro další provádění. Zavedení seřízení algoritmu je použito pro zvolenou pipeline. Tento algoritmus rozhodne, u které pipeline je nejméně pravděpodobné zpožděné dokončení instrukcí díky interakcím s předchozí odeslanou instrukcí.

AC 1,2

Výpočet adresy je také superpipelined a skládá se ze dvou substupňů AC1 a AC2. Jestliže současná instrukce požaduje paměťové operandy, AC1 spočítá dvě lineární paměťové adresy na clock (jeden na pipeline), AC2 provede přiřazení činnosti řízení paměti a přístupu ke cache. Pro registrové operandy k přejmenování registru dojde během AC1 a AC2, pak se přistoupí k souboru registrů. Další floating point instrukce jsou odeslány do FPU během AC2 stupně. Všechny instrukce jsou potlačeny v programu během AC1 a AC2.

Prováděcí

Prováděcí stupeň provádí operace instrukcí použitím operandů poskytnutých stupněm výpočtu adresy. Výsledky operací jsou zapsány do souboru registrů, vyrovnávací paměť se zapíše během Write-back stupně. Jakmile jsou instrukce vloženy do prováděcího stupně, může se instrukce v pipeline vykonávat nezávisle na druhé pipeline. V jiných slovech se mohou instrukce vykonávat v jiném pořadí, než byly poslány avšak výsledky jsou na výstupu ve správném pořadí.

3.4 Procesor Cyrix/IBM 6x86MX (M2)

Byl navrhnut firmou CYRIX Corp. a nazývá se Cyrix 6x86MX, dříve označovaný kódovým jménem M2. Z důvodu nedostatečných technologických a především výrobních kapacit začala firma Cyrix vyrábět procesory v továrnách firmy IBM Microelectronics. Ta začala tento čip též prodávat pod vlastním jménem IBM6x86MX.

Charakteristika:

Procesor 6x86MX je založen a technologii procesoru 6x86 a stejně jako jeho konkurenti Pentium II a K6 má multimediální rozšíření MMX.

Firmy IBM a Cyrix uvádějí u svých procesorů tzv. Performance Rating (PR), který udává, jaký Intelovský procesor je s ním výkonově srovnatelný.

Procesor 6x86MX se skládá ze 4 hlavních funkčních bloků:

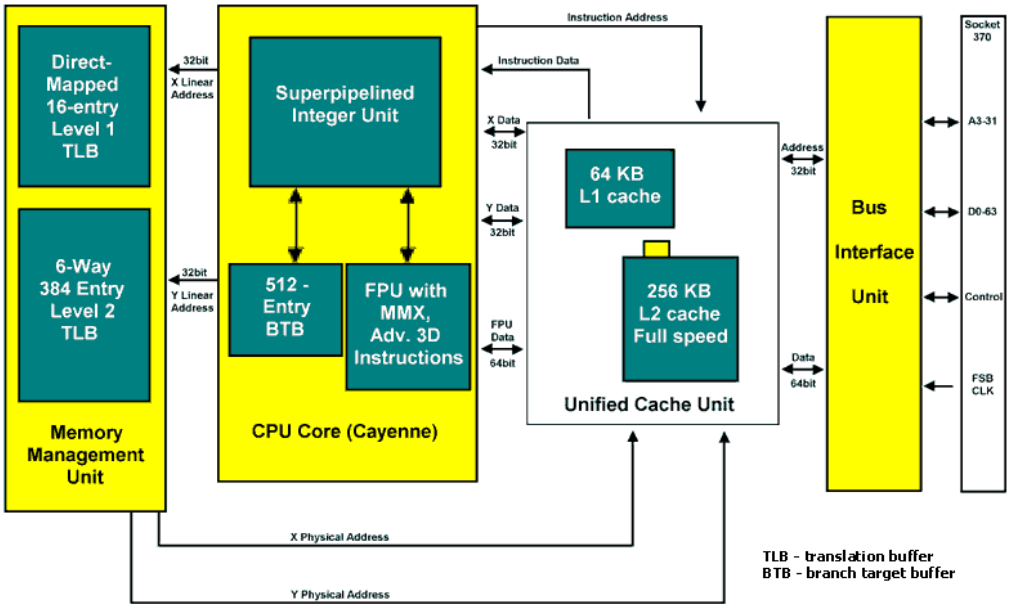
1. Memory Management Unit, MMU (Jednotka pro správu paměti)
2. CPU
3. Cache Unit, CU (Jednotka vyrovnávací paměti)
4. Bus Interface Unit, BIU (Jednotka rozhraní sběrnice)

CPU obsahuje superpipelined Integer Unit (IU), Branch Target Buffer (BTB, Paměť adres skoků) a Floating Point Unit (FPU).

BIU představuje rozhraní mezi externí systémovou deskou a vnitřními exekutivními jednotkami procesoru. Při práci s pamětí je pozice v paměti udávána přes Adress lines (adresní linky) a data jsou z / do paměti přesouvána po Data lines (datové linky). Každá instrukce je načtena do 256 Bytové Instrukční line cache. CU shromažďuje nejvíce používaná data a instrukce, aby FPU a IU umožnila rychlý přístup k informacím. Když si pak jádro CPU vyžádá instrukci z CU, jsou obdržené instrukce dekódovány jednou ze dvou (X nebo Y) processing pipelines (pracovní linky) v IU. Pokud je to instrukce MMX nebo instrukce FPU, je zaslána do FPU pro zpracování.

Jestliže požadována data nejsou v cache, pak se k nim přistupuje přes BIU do hlavní paměti. Jednotka pro správu paměti vypočítává fyzickou adresu, včetně adresace založené na stránkování. Fyzická adresa je vypočtena MMU a předána do CU a BIU.

4 VIA Cyrix III



Blokové schéma procesoru VIA Cyrix III

Je to první procesor pro socket 370 s podporou 3D-Now! technologií a je určen pro počítače s výhodným poměrem cena/výkon.

Procesor VIA Cyrix III používá jako pouzdro keramický socket 370, který známe hlavně z procesorů Intel Celeron. VIA Cyrix III je externě taktován (neboli FSB) na 133 MHz, podporuje MMX technologii a zároveň 3DNow! instrukce. Samotná FSB má být 66, 100 nebo 133 MHz. Obě cache jsou taktovány na plnou rychlost procesoru. Velikost L1 cache je 64 KB a je jednolitá, není dělená na instrukční a datovou, jak to známe z procesorů Intelu, cache L2 má 256 KB. Částečnou nevýhodou je ta skutečnost, že procesory VIA Cyrix III nepodporují víceprocesorové systémy.

Podle vyjádření výrobce má procesor VIA Cyrix III chodit na všech základních deskách se socketem 370 s podporou 2,2 V napájení jádra. Mnoho současných základních desek již prý má podporu tohoto procesoru ve svém BIOSu, ale pro plné využití možností procesoru je podpora BIOSu nutná.

Shodně s předchozími procesory Cyrix není uváděna skutečná interní frekvence procesoru, ale takzvaný Perfomance Rating (PR). Ten má vyjadřovat takt, na kterém by musel pracovat konkurenční procesor Intelu, aby měl shodný výkon. Procesor VIA Cyrix III se skutečným taktem 400 MHz a s FSB 133 MHz má mít shodný nebo vyšší

výkon než Intel Celeron s taktem 500 MHz. Čísla ovšem neznamenají skutečný takt, nýbrž PR (Perfomance Rating). Proto zřejmě bude tento procesor označován jako VIA Cyrix III PR500 (133/400). Pro možnost přetaktování je jistě důležitým zjištěním, že Cyrix III nemá zamknutý násobič FSB, a tak lze vhodněji ladit jeho výkon. Budou podporovány násobky FSB frekvence 2.5x, 3x, 3.5x, 4x, 4.5x, 5x, 5.5x, 6x, 6.5x a 7x FSB.

Procesor se vyrábí 0.18 mikronovou technologií se šesti kovovými vrstvami v továrně National Semiconductor (v South Portlandu). Na konci prvního čtvrtletí roku 2000 budou k dispozici modely PR433, PR466, PR500 a PR533.

VIA Cyrix III má poskytovat podle výrobce optimální výkon pro Microsoft Windows 2000, Windows 98, Windows 95, Windows NT, OS/2, DOS, UNIX, Solaris, Linux a ostatní x86 operační systémy.

Procesor VIA Cyrix III je prvním společným dílem po spojení firem VIA a Cyrix. Tím se definitivně stává firma VIA Technologies výrobcem procesorů x86 rodiny. Procesor VIA Cyrix III je na první pohled Pentium III „Coppermine“. Používá stejnou FSB frekvenci 133 MHz, shodně integruje 256 L2 full speed cache, je též vyroben 0,18 mikronovou technologií, shodně podporuje 3D instrukce. Tady ovšem shody končí.

Procesor Intel Pentium III podporuje KNI technologii Intelu, ovšem VIA Cyrix III podporuje 3D-Now! technologii firmy AMD. VIA už podle toho, že procesory označuje odpovídajícím výkonem vůči Celeronu, jasně definovala hlavního konkurenta.

5 Crusoe

Procesory Crusoe jsou RISCové, ale z důvodu kompatibility s x86 jsem se rozhodl zařadit je mezi ně.

Tajuplná firma Transmeta, která je známá především svým zaměstnancem Linusem Torvaldsem, po dlouhém utajování uvedla nové procesory dříve známé pod označením Crusoe.

Procesory x86 se již několik let potýkají s dědictvím svých předchůdců. Stále totiž zachovávají zpětnou kompatibilitu, instrukční sada se za 20 let téměř nezměnila. Samozřejmě, přibyl chráněný režim, 32 bitové registry a podobně. Ovšem stavění na staré architektuře vede ke stále většímu počtu tranzistorů na čipu, vyšší spotřebě a samozřejmě i vyšším výrobním nákladům. V mobilních zařízeních se v poslední době uplatňují zejména procesory typu RISC, důvod - nízká spotřeba energie. Ovšem tyto procesory nejsou kompatibilní s x86.

Firma Transmeta se rozhodla pro velmi zajímavé řešení - vyvinula procesor typu Risc, který bude kompatibilní s x86. Crusoe je procesorem nové architektury, zatímco v současnosti musí být veškerá logika a instrukce zadrátovány do návrhu procesoru, Transmeta tento postup obrátila, samotný procesor se neovládá přímo, ale pomocí softwarové vrstvy je nastavena jeho emulace požadovaného standardu.

Transmeta uvedla dvě verze procesorů Crusoe:

TM3120, který pracuje na frekvenci 400 MHz a je určen zejména do přenosných specializovaných zařízení s připojením na Internet, které budou poháněny Linuxem. Díky Linusovi Torvaldsovi vyvine Transmeta i kompaktní verzi Linuxu – Mobile Linux, který bude dostupný spolu s tímto základním čipem.

- frekvence: 333 MHz – 400 MHz
- L1 cache: 96KB
- typ paměti: SDRAM (66-133 MHz)

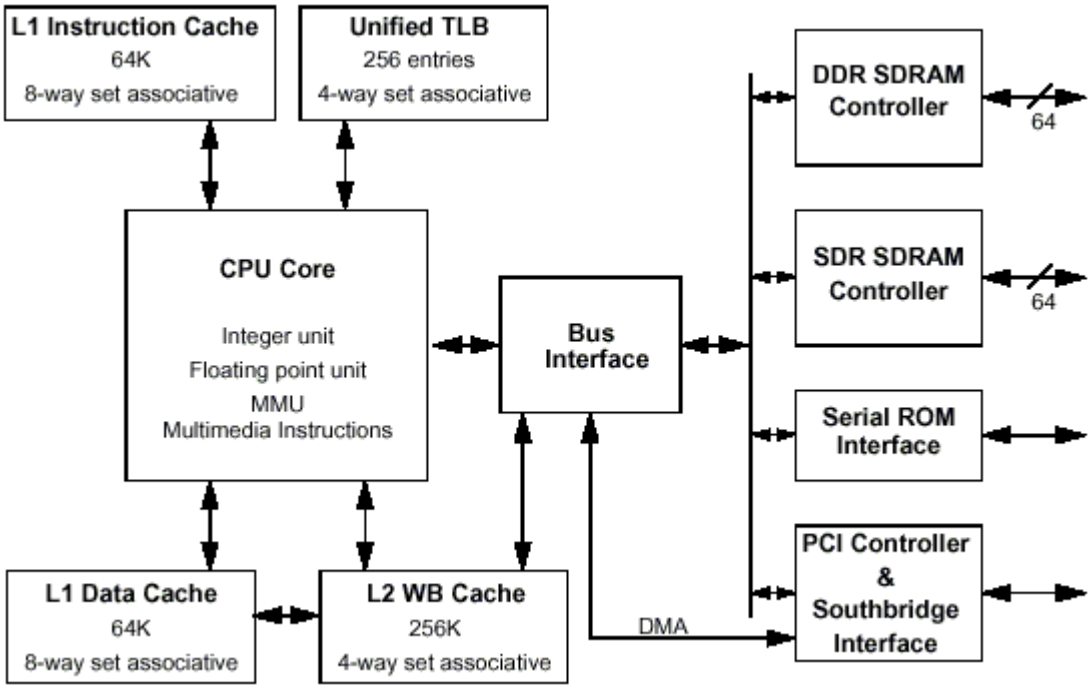
k dispozici již nyní

Další je procesor **TM5400** který poběží na frekvencích 500 až 700 MHz a je určen do běžných notebooků se systémem Windows.

- frekvence: 500-700 MHz
- L1 cache: 128 KB
- L2 cache: 256 KB
- typ paměti: DDR-SDRAM (100 - 166 MHz), SDRAM

k dispozici jsou nyní jen vzorky, běžný prodej v polovině roku 2000

Vnitřní architektura:

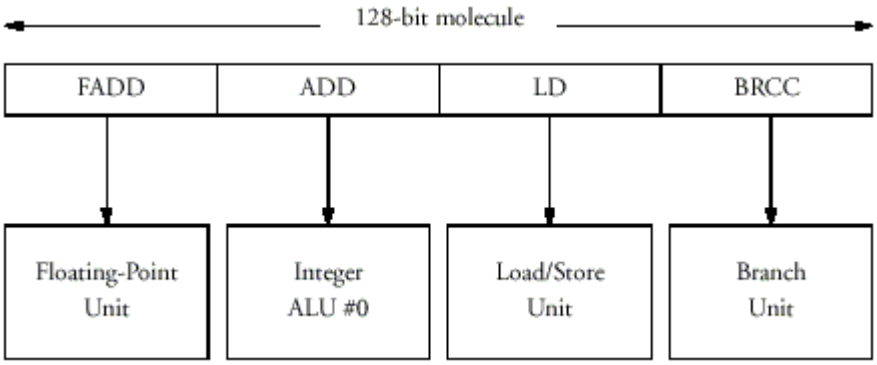


Blokové schéma procesoru Crusoe TM5400

Jak je vidět z blokového schématu, přímo na čipu jsou umístěny i další jednotky, které jsou u stolních počítačů většinou umístěny na základní desce mimo procesor. Samotný procesor tak obsahuje řadič paměti DDR SDRAM, SDR SDRAM, podporu pro načítání dat z paměti ROM (k čemu to je dobré se dozvíte dále), řadič PCI, 64 KB L1 cache pro instrukce a 64 KB cache pro data. Lepší typ Crusoe (TM5400) obsahuje kromě cache první úrovně i 256 KB L2 cache.

Jádro procesoru

Procesor Crusoe má vlastní instrukční sadu (VLIW - Very Long Instruction Word), instrukce jsou zpracovávány po tzv. molekulách, které mají velikost 64 nebo 128 bitů (jde tedy o 128 bitové procesory). V každé molekule jsou uloženy až 4 instrukce (atomy). Vtip je v tom, že instrukce v molekule jsou zpracovávány paralelně - protože každá přísluší jiné výkonné jednotce. Procesor obsahuje dvě jednotky pro operace s celými čísly, jednu pro čísla v plovoucí řádové čárce, dále pak jednotku pro operace s pamětí a jednotku pro zpracovávání instrukcí větvení. Crusoe obsahuje i další RISCovské prvky - například velký počet registrů (64).



Dekódování a zpracování VLIW instrukcí je omnoho jednodušší, než dekódování instrukcí procesorů x86 kompatibilních. Proto je jednodušší i jádro Crusoe a má tak menší nároky na odběr energie.

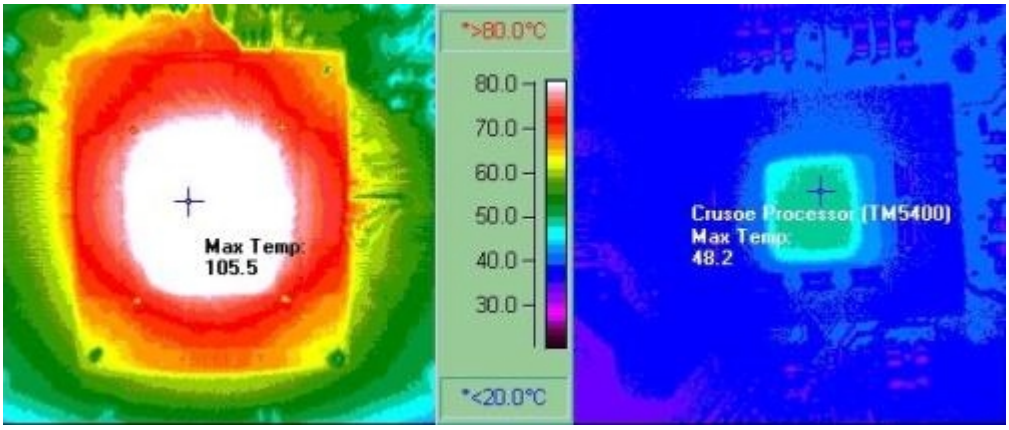
Technologie LongRun

Už od začátku byl procesor Crusoe vyzdvihován jako procesor, který má velmi malou spotřebu energie. Nemalý díl na této vlastnosti má speciální šetřící technologie LongRun.

Pokud si spustíte nějaký program na měření výkonu systému (například ve Task manager ve WindowsNT) a přepnete se na záložku „Performance“, zjistíte, že zatížení procesoru je v běžných aplikacích (Word) zhruba 10 %, někdy i menší. V té chvíli by stačilo, aby procesor běžel na mnohem menší frekvenci a tím pádem odebíral méně energie. Změnu frekvence procesoru za běhu nedokáží procesory od Intelu ani AMD (i když Intel se v posledních verzích Mobile Pentium III o cosi podobného snaží), ovšem Crusoe je na tom podstatně lépe.

Technologie LongRun, která je zabudovaná do CodeMorphing software dokáže sledovat aktuální vytíženost procesoru a podle toho plynule měnit nejen pracovní kmitočet, ale i pracovní napětí procesoru (v rozmezí 1,2 V - 1,6 V). Rychlost přepínání je nepostřehnutelná, ve chvíli, kdy je výkon potřeba, automaticky se zvýší. Pokud si uvědomíme, kolik času procesor „profláká“ čekáním na pomalého uživatele, který většinou nedělá nic jiného než že zhruba 2x za sekundu stiskne klávesu, může dojít k opravdu značné úspoře. Procesor Mobile Pentium III má odběr 4-10 W, Crusoe při provádění velmi náročných aplikací (např. přehrávání DVD) přibližně 1,6 W, přehrávání MP3 – 1 W a při běžném provozu (psaní a pod) ještě méně.

Na následujícím obrázku je zobrazen teplotní obraz Crusoe a tradičního mobilního procesoru, jež provozující přehrávání DVD bez použití chladícího zařízení. Model TM5400 dosáhne 48 ° C , zatímco tradiční procesor 105 ° C

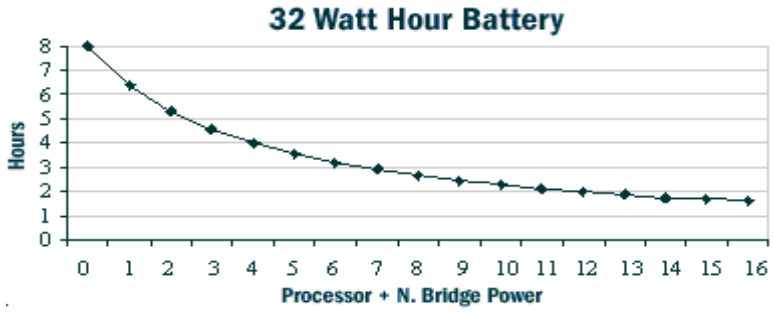


Zvážíme-li tento teplotní rozdíl, je na první pohled samozřejmé, že se to musí drasticky projevit v životnosti baterií.

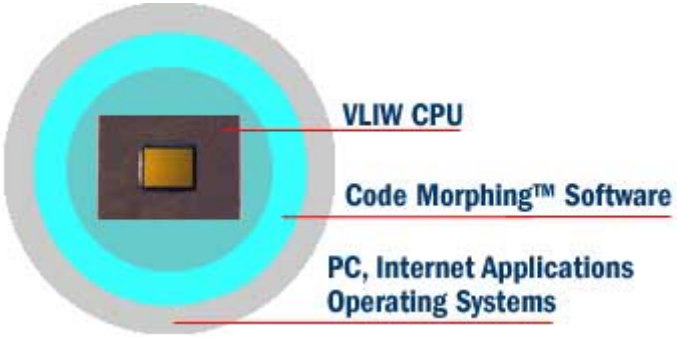
Díky velice nízké spotřebě bude moci mobilní počítač běžet až 8 hodin bez nutnosti připojení do energetické sítě. Procesor Crusoe má přibližně spotřebu jeden watt při zatížení, zatímco bez zatížení pouze 8 mW, což v kontrastu ze 6 až 16 W u klasických procesorů vypovídá o všem.

Životnost Baterie v závislosti na energetické náročnosti procesoru:

	CPU výkon (Watts)	Systémový výkon (Watts)	Celkový výkon (Watts)	Životnost baterie (hodiny)
Crusoe Procesor	0.008	4	4	8.0
	1	4	5	6.4
	2	4	6	5.3
Standardní „mobilní“ procesor	6	4	10	3.2
	8	4	12	2.7
	10	4	14	2.3
	12	4	16	2.0
	14	4	18	1.8
	16	4	20	1.6



Technologie Code Morphing Software.



Jelikož jádro procesoru Crusoe používá speciální instrukční sadu, kompatibilita je zajištěna softwarově. Ovšem tato podpora softwarové emulace je zabudována přímo v čipu. Pokud se podíváte na blokové schéma procesoru, zjistíte, že jednou ze součástí je i řadič paměti ROM. V této paměti je totiž umístěn program, který se o emulaci stará. Ihned po svém spuštění procesor překopíruje obsah ROM do klasické paměti (kvůli rychlosti) a spustí ho. Poté je již Crusoe schopný provádět instrukce z instrukční sady x86. Transmeta neplánuje, že by někdo psal nativní aplikace přímo ve strojovém kódu Crusoe, jediný software napsaný v tomto kódu bude právě Code Morphing Software. Co k tomuto kroku firmu vede? Aplikace napsané v nativním kódu by byly určitě rychlejší, řeknete si možná.

To je sice pravda, i když emulace je zde poměrně kvalitní. Ovšem hlavní důvod je v tom, že Transmeta nechce zabřednou do problému zpětné kompatibility podobně jako Intel. Díky emulaci x86 kódu je naprosto jedno, jakým způsobem se budou hardwarově vyvíjet další procesory řady Crusoe. Jediné, co bude potřeba u nové verze procesoru přepsat, bude Code Morphing Software.

Už první dva modely procesoru jsou od sebe natolik hardwarově odlišné, že používají jinou verzi Code Morphing Software. Výhod tohoto řešení je více - například možnost

upgrade (pro podporu nových x86 instrukcí či odstranění chyb předchozí verze), případně emulace úplně jiného čipu (přímo se nabízí interpretace javovského bytekódu).

Jako nevýhoda by se mohlo zdát zpomalení, ke kterému musí díky emulaci zákonitě dojít. Ovšem testy (které dodala Transmeta, takže je nutné je brát s rezervou) ukazují, že to není zase tak hrozné. Musíme si uvědomit, že Code Morphing Software je napsán tak, aby z procesoru dostal opravdu maximum. K čemu jsou výkonné instrukce (MMX a pod), když jsou téměř všechny programy na PC zkompilovány tak, aby běžely na procesoru 386? Trochu lépe na tom jsou uživatelé Linuxu, kteří mohou programy překompilovat tak, aby využili většinu možností svého procesoru, uživatelé Windows toho příliš nenadělají. V procesoru Crusoe provádí optimalizaci kódu Code Morphing Software, který dokáže využít všechny možnosti hardware procesoru.

Emulace je rychlá i díky tomu, že Crusoe byl přímo vyvíjen se záměrem, že bude kód emulovat (emulace není úplně přesný výraz, často jde spíše o překlad x86 kódu do VLIW instrukcí za běhu). Proto jsou v procesoru zabudované mechanizmy, které tuto činnost podporují. Například každá přeložená část kódu je uložena do tzv. instrukční cache, takže pokud je kód prováděn vícenásobně (například v cyklech), kód se znovu nepřekládá a použije se ten uložený v cache. Code Morphing Software se dokonce dokáže „naučit“, která část kódu je používána častěji a která jen občas. Na tom pak závisí způsob interpretace x86 kódu. Téměř nepoužívaný kód se jednoduše emuluje (tj. interpretuje), kdežto často používaná rutina (např. dekódování DVD) se optimalizuje a převádí na VLIW instrukce.

Uplatnění procesoru

Hlavní uplatnění procesorů plánuje Transmeta pro mobilní počítače. Jednak to jsou tradiční notebooky, u kterých bude díky nízké spotřebě procesoru prodloužen běh na baterii zhruba na den nepřetržitého provozu, což již je velmi slušné. Druhá oblast je z hlediska nasycenosti ještě zajímavější. Malá, lehká zařízení na připojení k internetu, která si sice nedáte do kapsy, ale na druhou stranu budou mít sympatické rozměry A4 a v podstatě budou vypadat jako jeden velký displej. Výhoda těchto zařízení poháněných procesorem Crusoe oproti jiným jednoúčelovým přenosným internetovým prohlížečům bude zřejmá - na tomto zařízení spustíte libovolný program z PC, takže nebude problém s upgrade prohlížeče a podobně. Pro tyto WebPady firma Transmeta připravila speciální verzi Linuxu, která bude mít oproti běžné verzi zdokonalenou podporu řízení úspory energie.

Část III Risc

Na úvod bych chtěl poznamenat, že se zde vzhledem k velkému množství existujících procesorů zmíním pouze o typech a jejich základních parametrech. Nebudu zde tedy blíže rozepisovat funkce a vlastnosti jednotlivých procesorů.

1 ALPHA

Vyrábí firma DEC

1.1 ALPHA 21064A

- napájení 5 V externí, 3,3 V jádro
- frekvence 200 MHz až 300 MHz
- 64 bitový procesor
- 128 bitový DB
- L1 cache 32 KB dělená na instrukční a datovou
- L2 cache 256 KB až 16 MB
- možnost adresovat 16 GB paměti

1.2 ALPHA 21164PC

- napájení 3,3 V externí, 2,5 V jádro
- frekvence 400 MHz až 533 MHz
- 64 bitový procesor
- superscalární čtyřcestný instrukční tok
- možnost provádět až 2,1 BIPS
- L1 cache dělená na 16 KB instrukční a 8 KB tatovou
- L2 cache 512 KB až 4 MB

1.3 ALPHA 21064

- napájení 3,3 V externí, do 333 MHz 2,5 V jádro, nad 360 MHz 2 V jádro
- frekvence 266 MHz až 600 MHz
- 64 bitový procesor
- superscalární čtyřcestný instrukční tok

- L1 cache dělená na 8 KB instrukční a 8 KB tatovou
- trojcestná wtite-back L2 cache 96 KB
- 499 pinové keramické pouzdro
- procesor obsahuje 9,3 miliónu tranzistorů
- 0,5 µm technologie do 333 MHz, 0,35 µm nad 366 MHz

1.4 ALPHA 21264

Procesor 21264 je třetí generací 64bitové architektury Alpha. Právě z tohoto procesoru používá AMD Athlon sběrnice AV/6, která je schopna běžet až na 200 MHz.

- frekvence 500 MHz a vyšší
- 64 bitový procesor
- superscalární čtyřcestný instrukční tok
- 64 KB L1 instrukční cache
- 64 KB L1 datová cache
- ztrátový výkon 60 W
- trojcestná wtite-back L2 cache 96 KB
- 0,35 µm technologie

2 MIPS

vyrábí firma Silicon Graphics

2.1 MIPS R3000

Obsahuje:

- třicet dva 32 bitových registrů všeobecného zaměření
- šestnáct 64 bitových registrů pro pohyblivou čárku
- aritmeticko-logickou jednotku
- 32 bitový posuvný registr
- autonomní celočíselnou 32 bitovou násobičku a děličku
- jednotku správy paměti MMU
- jednotku správy přerušení
- modul transformace adres (tabulka TLB)

2.2 MIPS R4000

2.3 MIPS R4400

- 175, 200, 250 MHz

2.4 MIPS R4600

2.5 MIPS R8000

- z roku 1992
- 0,5 µm technologie
- 64 bitový superskalár
- skládá se ze 2 čipů R8000 a mat. koprocesoru R8010
- napájení 3.3 V
- 75 MHz, 150, 200 MHz
- dohromady 3.4 mil. tranzistorů

- 595 kolíků
- 4 instrukce v jednom cyklu
- jednotky aritmetiky pevné čárky
- předvídání skoků
- datová a instrukční cache po 16 KB
- buffer pro vyrovnávání délky instrukcí (na 128bitů) z cache
- vnější cache má cyklus 10 ns

2.6 MIPS R10000

Procesor R10000 je určen pro náročnější aplikace v oblasti zpracování dat, tak i pro výpočetně velmi náročné aplikace (superpočítače).

- napájení 3,3 V
- 64 bitový procesor
- výkon 88 MIPS, 400 MFLOPS
- 0,35 µm technologie
- L1 instrukční cache 32 KB
- L1 datová cache 32 KB
- L2 cache 512 KB až 16 MB

Procesor R10000 umožňuje zavádět a vykonávat instrukce mimo pořadí, spekulativně vykonávat instrukce, predikci skoků, přejmenovávat registry.

3 PowerPC

Procesory PowerPC byly uváděny na trh od roku 1991 jako výsledek úsilí firem IBM, Apple a Motorola.

3.1 PowerPC 601

- 32 registrů 32 bitových
- 32 registrů 64 bitových CPU pro pohyblivou čárku
- cache 32KB 8mi cestná společná
- tři paralelní jednotky zřetězeného zpracování dat:
  - celočíselné
  - pohybl. čárka
  - zpracování skoků
- jednotky vykonávají vždy nejbližší instrukci z fronty (pouze u celočíselného zpracování musí být první ve frontě).
- předvídání výsledků podmíněného skoku

3.2 PowerPC 602

- určený pro domácí aplikace a grafické práce
- nezávislé výkonné jednotky
  - IU
  - FPU
  - BPU
  - L/SU
- 4 KB 2 cestná cache
- časově multiplexovaná datová a dresová sběrnice
- 32 vstupová TLB (translation lookasside buffers)

3.3 PowerPC 603

pro levnější modifikace workstation

- 32/64 bitový data sběrnice
- 80 MHz
- technologie 0.5 μm

- napájení 3.3 V

Hlavní rysy:

- až tři instrukce zpracované za jeden takt
- až pět instrukcí provedených za jeden takt
- jednotaktové provedení většiny instrukcí
- propojené FPU pro všechny operace s jednoduchou přesností a většinu s dvojitou přesností
- pět nezávislých vykonávajících jednotek

3.4 PowerPC 604

- 150 MHz
- 32 bitová adresa
- 32 bitová logická adresa
- 64 data bus
- superskalární, 6 instrukcí současně
- 2.8 mil. tranzistorů
- 0.6 µm technologie
- 32 registrů 32 bitových
- 32 registrů 64 bitových CPU pro pohyblivou čárku
- cache 32 KB
- 6 paralelních jednotek zřetězeného zpracování dat:
    - celočíselné IU (dvě jednocyklové a jedna vícecyklová)
    - pohyblivá čárka FPU
    - zpracování skoků BPU
    - jednotka styku s pamětí Load/Store Unit LSU
    - jednotky vykonávají vždy nejbližší instrukci z fronty (pouze u celočíselného zpracování musí být první ve frontě).
    - předvídání výsledků podmíněného skoku
- Cache 16 KB pro instrukce
- Cache 16 KB pro data

Popis:

Procesor obsahuje 3 výkonné paralelní jednotky (ALU, FPU, BPU), ve kterých může být rozpracováno až 6 (601) nebo 4 (604) instrukcí v 1 clock. PowerPC601 má 32 32bitových všeobecných a 32 64bitových FPU registrů.

3.5 PowerPC 750

Konstrukčně podobný PowerPC 604

3.6 PowerPC 615

- 64 bitový
- 2 režimy:
  - běžný PC615
  - režim 80x86, který hardwarově emuluje 80x86, vytváří mikrokód, který posílá v řetězcích do řadiče
- vyrovná se Pentiu 100 MHz
- operční systém Windows NT => snadný přechod na RISC.

3.7 Power PC 620

- 64 bitový
- 40 bitová adresová sběrnice
- 64/128 datová sběrnice
- superskalární architektura (6 jednotek)
  - jednotka větvení
  - 2x jednotka pevné čárky
  - komplexní jednotka pevné čárky
  - jednotka pohyblivé čárky
  - jednotka I/O
- během jednoho cyklu lze načíst, rozmístnit a ukončit 4 instrukce
- současně až 16 rozpracovaných instrukcí
- fronta 8 instrukcí
- frekvence 133 MHz
- pro I/O sběrnice je dělen 1:2, 1:3, 1:4
- vnější datová sběrnice 128 + 16 parita =144
- vnější adresová sběrnice 40 + 3 parita = 43

- 8 cestná cache s 64 bitovou sběrnicí:
  - L1 datová cache 32 KB
  - L1 instrukční cache 32 KB
- řadič vnější cache (do 128 MB- MESI protokol)
- podporuje plně L3 externí cache
- MMU Memory Managment Unit , paměťové fronty
  - 80 bitová virtuální adresa
  - 64 efektivní
  - 40 fyzická
- segmentace
- stránkování
- sleep mode
- 3.3 V
- 0.5 µm CMOS
- počet tranzistorů 7 milionu
- čip je 311 mm^2
- pouzdro Ball Grid Array 25x25 BGA
- branche prediction (předpověď větvení)
  - statická
  - dynamická - při načítání a rozmístění instrukcí
- provede oba výpočty a jeden zahodí

4 Procesory SPARC

vyrábí firma Sun

4.1 UltraSparc

- 64 bitový procesor
- 0,5 µm technologie
- L1 instrukční cache 16 KB
- L1 datová cache 16 KB
- L2 cache 512 KB až 14 MB

4.2 UltraSparc II STP 1031

- 250 MHz
- 64 bitový procesor
- 0,35 µm technologie
- napájení 3,3 V a 2,6 V
- 4 instrukce/cykl
- zavádění instrukcí v pořadí
- ukončení mimo pořadí
- 3D grafika
- propojení až 4 procesorů
- 4 cestný superscalár s 9 výkonnými jednotkami
  - 4 celočíselné jednotky
  - 3 jednotky v plovoucí čárce
  - 2 jednotky pro grafiku
- 16 KB datová cache L1
- 16 KB instrukční cache L1
- L2 cache 512 KB až 16 MB
- 2bit branche Prediction
- vysokorychlostní propojení procesoru s paměti (přenosová rychlost)
- 1,3 GB/s procesor/paměť
- 600 MB/s pomocný procesor/paměť
- MMU (Memory management unit) obsahuje dva buffery

  - 64 bitový vstupní instruction Translation lookaside buffer iTLB
  - 64 datový dTLB
- load a store mají každý svou jednotku na výpočet adresy
- skoky :
  - dvoubitová historie
  - rozdělení na pole 4 instrukcí s odkazem na další instrukci
  - buffer 12 instrukcí
- cache je s fyzickou adresací
- 44 bitová virtuální adresa
- 41 bitová fyzická adresa předpokládající minimální délku stránky 13 bitů tj. 8 KB
- stránkování 8, 64, 512 KB a 4 MB
- FPU (Floating – point unit) s nezávislými jednotkami pro sčítání, odčítání, násobení a dělení

5 IBM

5.1 RISC System 6000

- 7 mil tranzistorů
- plocha 1284 mm^2
- 32 bitový

Centrální jednotku IBM RISC System 6000 tvoří:

- **ICU** - (instruction Cache Unit) Instrukční cache a jednotka na zpracování skoků BU Branch Unit
- **FXU**- Fixed Poin Unit - jednotka celočíselné aritmetiky
- **FPU** - Float Point Unit - jednotka aritmetiky pohyblivé čárky
- **4 DCU** - Data Cache Unit Datová Cache rozdělená na 4 segmenty
- **SCU** - Storage Control Unit řadič sběrnic a paměti
- **I/OIU** - I/O Interface Unit jednotka rozhraní I/O.

ICU, FXU A FPU tvoří dohromady CPU

6 Motorola

6.1 Motorola 88000

32 bitový procesor obsahuje 32 datových registrů se speciálními funkcemi. Přímo může adresovat 4 GB paměti.

Procesor 88000 obsahuje čtyři základní jednotky:

1. jednotka celočíselné aritmetiky včetně celočíselné násobičky a děličky
2. jednotka pohyblivé řádové čárky, sčítačka je realizována pomocí čtyřstupňového zřetězení, násobička pomocí pětistupňového aritmetického zřetězení
3. datová jednotka (pomocí třístupňového zřetězení) – vykonává nezávislé načítání operandů
4. instrukční jednotka(pomocí dvoustupňového zřetězení) – vykonává přístup do paměti instrukce

Část IV Ostatní části

1 Numerické koprocesory

Numerický (matematický) koprocesor je integrovaný obvod vyvinutý speciálně pro numerické výpočty. Z toho vyplývá, že se jedná o obvod určený hlavně pro aplikace provádějící často číselné operace v pohyblivé desetinné čárce. Klasické programy tohoto typu jsou např.:

- tabulkové kalkulátory
- programy CAD/CAM
- programy pro finanční analýzu
- programy pro technické aplikace

Některé programy (např. AutoCAD) dokonce přítomnost numerického koprocesoru přímo vyžadují a bez jeho přítomnosti není možné s takovýmto programem pracovat. Platí, že numerický koprocesor v určitých operacích, jako jsou například výpočty hodnot některých funkcí (sinus, kosinus, logaritmus), je až 20 krát rychlejší než procesor.

Koprocesory byly postupně vyráběny k jednotlivým procesorům s označením stejným jako bylo označení procesoru s výjimkou poslední číslice, která je u numerického koprocesoru 7 (viz následující tabulka).

Procesor	Odpovídající numerický koprocesor	Typ pouzdra	Maximální rychlost (MHz)
8086/8088	8087	DIP	10
80186/80188	80187	DIP	10
80286	80287	DIP	12
80386	80387	PGA	33
80386SX	80387SX	PLCC	33
80486SX	80487SX	PGA	33

Procesory jako jsou 80486DX, Pentium, Pentium Pro a novější procesory v tabulce uvedeny nejsou, protože mají numerický koprocesor integrován přímo na svém čipu a tudíž žádný specializovaný samostatný obvod, který by sloužil jako koprocesor, se k těmto procesorům nevyrábí.

Vzájemné vztahy v kombinaci mikroprocesor a koprocesor jsou tak těsné, že se na tuto dvojici obvodů často hledí jako na jeden numericky orientovaný mikroprocesor ve dvou pouzdrech a označuje se zkratkou NDP. Typické u koprocesoru je to, že nemají vlastní program. Instrukce dostávají z programu mikroprocesoru a tak mohou být použity výhradně ve spolupráci s univerzálním mikroprocesorem. Architektura koprocesorů je založena na dvoustupňovém řetězení.

Prvním subprocesorem je řídící jednotka **CU** (Control Unit), která přijímá a dekóduje instrukce, čte a zapisuje operandy do paměti a vykonává řídící funkce. Pro adresování operandů přitom využívá mikroprocesoru, neboť koprocesor nedisponuje vlastní adresovací jednotkou.

Druhým subprocesorem je numerická operační jednotka **NEU** (Numeric Execution Unit), která má s CU společnou frontu operandů. Vlastní numerické výpočty zajišťuje aritmetická jednotka (AU – Arithmetic Unit), která má pro zajímavost mantisy čísel zpracovává s přesností 68 bitů, tj. s přesností ještě o čtyři bity větší, než má real formát.

Poznámka: Existují také programové emulátory numerických koprocesorů, které po svém spuštění vytvářejí dojem, že v počítači je skutečně numerický koprocesor osazen. Tento emulátor však může sloužit jen pro amatérské použití, protože poskytuje pouze stejné funkce jako numerický koprocesor. Jeho výpočty nejsou rychlejší, ale naopak podstatně pomalejší (musí je provádět sám procesor).

2 Výhled do budoucna

2.1 Intel Willamette

Intel na svém vývojářském fóru poodhalil bližší detaily o své připravované nové generaci procesorů na platformě IA-32. Tento procesor, zatím známý jako Willamette, byl předveden v práci na frekvenci 1,5 GHz.

Willamette je první, opravdu novou generací 32-bitového (IA-32) procesorového jádra od dob PentiaPro. Intel v procesoru Coppermine dosáhl hranice možností jádra P6, a proto přichází s novou P7 mikroarchitekturou. Willamette přichází s řadou novinek, o kterých si nyní řekneme podrobněji.

Architektura

Procesor je zatím vyráběn technologií 0,18 mikronu a používá hliníkové spoje. Příští rok se počítá s přechodem k technologii 0,13 mikronu a k měděným spojům za účelem výroby menších a výkonnějších procesorů. Produkce počítá se stovky tisíci procesorů do konce letošního roku a poté se zvedne produkce na milióny. Možná je to předzvěst velkému zlevňování starších procesorů...

Stream SIMD Extension 2

Tento nový prvek je následovníkem instrukcí SIMD, známých z Pentia III, které umožnily velké zrychlení aplikací napsaných právě pro ně. V SIMD 2 je přidáno 144 nových instrukcí umožňujících využití paměti cache programátorem a dále umožňují lepší výpočty v plovoucí i pevné řádkové čárce. Se SIMD 2 se mění architektura výpočtů v plovoucí i pevné čárce - nyní SIMD v Pentiu III pracuje se 64 bitovými celými čísly a se 128 bitovými desetinnými čísly s jednoduchou přesností. Willamette pracuje se 128 bity pro celá čísla a se 128 bity a dvojitou přesností pro čísla desetinná. Obě tyto změny umožní procesoru zpracovat více informací v jednom cyklu, samozřejmě se softwarem, který je pro to optimalizován.

Systémová sběrnice

Willamette by měl běžet na 400 MHz sběrnici, která poskytne třikrát větší šířku pásma než nynější sběrnice pro Pentia III. Ve skutečnosti sběrnice běží na 100 MHz, ale pomocí

technologie quad-pumped bus se dosáhne 400 MHz, takže rychlost přenosu dat bude 3.2 GB/s, což je opravdu trojnásobek oproti dnešku.

2x Aritmeticko-logická jednotka

Aritmeticko-logická jednotka ovlivňuje rychlost procesoru při výpočtu s celými čísly. U procesoru Willamete běží tato jednotka na dvojnásobku frekvence procesoru. Samozřejmě to zrychlí aplikace, které počítají s celými čísly. Bohužel to samé neplatí u jednotky pro čísla s plovoucí desetinou čárkou, takže například na 3D hry nebude mít tato změna velký vliv.

Vylepšená paměť cache

Willamete bude mít jako Coppermine L2 cache přímo v jádře, běžící na frekvenci procesoru a navíc bude obsahovat ještě takzvanou „Trace cache“, která umožní zvýšit šířku pásma pro instrukce čekající na zpracování a eliminuje nutnost použití superskalárního dekodéru.

Hyper Pipelined Technology & Branch Prediction

Pro dosažení vyšších frekvencí je použito nové dvacetistupňové zřetězení. S tím souvisí i nutnost lepšího předvídání větvení, které procesoru umožňuje odhadnout adresu následující instrukce, a to je s rostoucím počtem stupňů zřetězení obtížnější a proto jsou do Willamette implementována všechna dostupná odhadovací schémata.

Kompatibilita s IA-32

Ačkoli je Willamette založen na zcela novém jádře je zachována kompatibilita se všemi IA-32 aplikacemi a operačními systémy. Samozřejmě podporuje prvky, které byly vneseny do IA-32 procesory P6.

2.2 Intel Merced (Itanium)

První 64-bitový procesor od Intelu Merced je plánován na polovinu tohoto roku a o jeho výkonu se vedou rozsáhlé diskuse. Na vývoji Mercedu spolupracuje s Intelem Hewlett-Packard, takže o jeho podporu by mělo být dostatečně postaráno.

Merced bude používat nový způsob spolupráce mezi čipem a kompilátorem.

Obsahovat bude velké množství paralelních jednotek, pro něž kompilátor seřadí instrukce do instrukčního toku tak, aby mohly být zpracovány najednou. Pro vytvoření

těchto toků bude kompilátor používat dvě softwarové techniky – „predication“ a „speculation“.

Ani RISC, ani CISC – EPIC

O Mercedu se tvrdilo, že bude plně RISC procesor. Architektura IA-64 sice RISC připomíná, ovšem Intel přišel s několika novými myšlenkami, takže zde máme další název – **EPIC** (Explicitly Parallel Instruction Code). S instrukcemi procesoru je to totiž trochu složitější, než jsme byli doposud zvyklí. Všechny instrukce v programu pro IA-64 jsou umístěny v 128 bitových balíčcích (bundles). Každý balíček obsahuje 3 41-bitové instrukce a 5-bitový informační kód. Myšlenka je jednoduchá – balíček je načten najednou a podle informačního kódu je zjištěno, kterého typu (celočíselné operace, operace s reálnými čísly apod.) jsou jednotlivé instrukce. Pokud jsou jiného typu, mohou být všechny poslány příslušné výkonné jednotce a zpracovány najednou. Krom toho může být libovolný počet balíčků seskupen do „superbalíčků“. Každý superbalíček se vyznačuje tím, že se v něm instrukce vzájemně neovlivňují, tj. mohou být prováděny paralelně v libovolném pořadí.

Merced obsahuje 128 celočíselných, 128 reálných a 64 registrů, které se používají při předvídání podmínek.

Merced je vybaven ještě další specifickou schopností pro urychlení zpracování těsných vnitřních smyček (tight inner loops), což jsou malé bloky kódu, které jsou vykonávány opakovaně. Pro tento způsob bude mít Merced implementovány tzv. rotující registry. Tato vlastnost umožní zvýšení výkonu použitím softwarového zřetězení. Kromě toho bude Merced pravděpodobně umožňovat vícenásobný simultánní zápis do registrů.

2.3 AMD K8

Detailní architektura čipu sice ještě není dostupná, ale jedná se o 64-bit čip, který bude na velmi vysoké úrovni výkonu i pro Intelovský Merced (kdo z koho).

3 Cache

Vyrovnávací paměť - cache je velmi rychlá paměť relativně malé kapacity, sloužící ke zrychlení toku dat mezi procesorem a operační pamětí, resp. jinými částmi počítače.

Zavádění CACHE pamětí se řeší nesoulad mezi rychlostí procesoru a paměti. Rychlosti procesoru se zvyšují mnohem rychleji než pamětí. Také počet strojových cyklů na zpracování instrukce se rapidně snížil. U procesorů typu RISC je to již jen jeden strojový cyklů.

Vyrovnávací paměť typu cache je chápána jako nejvyšší úroveň paměťové hierarchie. Nižším stupněm je operační paměť a nejnižším jsou vnější paměti. Kapacita a vybavovací doba roste od nejvyšší k nejnižším, cena na byte paměti naopak.

Přenos dat mezi procesorem a vyrovnávací pamětí probíhá po bytech (počet záleží na šířce sběrnice) a mezi vyrovnávací pamětí a fyzickou pamětí po blocích.

Vyrovnávací paměti mohou být zvlášť pro data a zvlášť pro instrukce.

Práce cache paměti vychází ze skutečnosti, že program má tendenci se při své práci určitou dobu zdržovat na určitém místě paměti, a to jak při zpracování instrukcí, tak při načítání (zapisování) dat z (do) paměti. Je-li požadována nějaká informace z paměti, je nejdříve hledána v cache paměti (interní, pokud existuje, a následně v externí). Pokud požadovaná informace není přítomna v žádné z cache pamětí, je zavedena přímo z operační paměti. Kromě momentálně požadované informace se však do cache paměti zavede celý blok paměti, takže je velká pravděpodobnost, že následně požadované informace již budou v cache paměti přítomny. Pokud dojde k zaplnění cache paměti a je potřeba zavést další blok, je nutné, aby některý z bloků cache paměť opustil.

Tento problém řeší některá ze strategií náhrady:

- **LRU** (Least Recently Used) používá se algoritmus, který vyřadí nejdéle nepoužívaný blok.
- **MFU** (Most Frequently Used), kdy se ponechávají často používané položky a položka nejméně používaná se ruší
- **RAND** – náhodný výběr oběti
- **FIFO** – odebraná je ta položka, která je ve FIFO nejdéle

Strategie LRU, MFU, FIFO vyžadují další obvodové doplňky, jak registry pro udržování času použití. Zde se musí řešit např. otázka přeplnění čítačů a jsou navrženy algoritmy, které zavčas zahájí dekrementaci vybraných čítačů apod.

Cache můžeme dělit z několika hledisek:

Pamět cache L1 (interní - primární):

Interní cache paměť je paměť, která slouží k vyrovnání rychlosti velmi výkonných procesorů a pomalejších pamětí. Tento typ cache paměti je integrován přímo na čipu procesoru a je také realizován pomocí paměti SRAM. Interní cache paměť se objevuje poprvé u procesoru 80486.

Funguje tak, že cache načte ze sběrnice více dat, které pak v tomto meziskladu čekají. Jakmile je mikroprocesor potřebuje, z cache je načte. Protože cache pracuje rychleji než sběrnice, nemusí mikroprocesor čekat, jak by tomu bylo v případě odebírání dat přímo ze sběrnice.

Pamět cache L2 (externí, sekundární):

Externí cache paměť je paměť, která je umístěna mezi pomalejší operační pamětí a rychlým procesorem. Tato paměť je vyrobena jako rychlá paměť SRAM a slouží jako vyrovnávací paměť u počítačů s výkonným procesorem, které by byly bez ní operační pamětí velmi zpomalovány. Navíc je cache ovládána speciálním řadičem, který se snaží předpovědět, která data bude asi mikroprocesor v nejbližší době požadovat. Tato data řadič přesune z operační paměti do cache, kde je mikroprocesor najde a nemusí pro ně až do operační paměti. Pokud však mikroprocesor požaduje taková data, která v cache nejsou obsažena, musí je přečíst z operační paměti, což se neobejde bez čekajících taktů.

První externí cache paměti se objevují u počítačů s procesorem 80386. Jejich kapacita je 32 KB popř. 64 KB. S výkonnějšími procesory se postupně zvyšuje i kapacita externích cache pamětí na 128 KB, 256 KB, 512 KB (u K7 je plánováno až 8 MB). Externí cache je u starších procesorů osazena na základní desce, u novějších pak je přímo integrovaná na čipu.

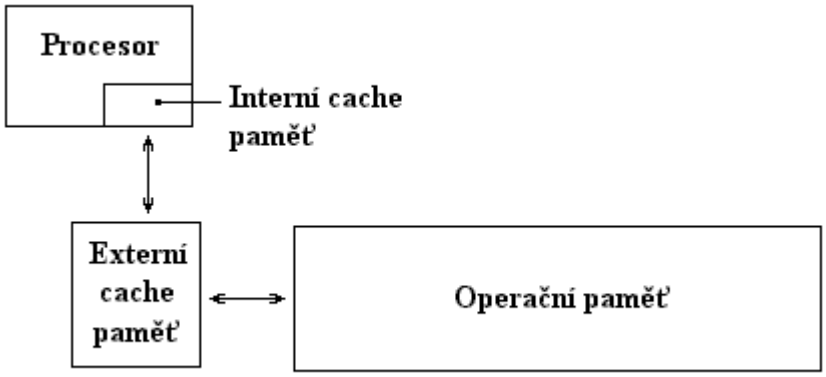


Schéma zapojení interní a externí cache paměti.

Pamět cache L3 (externí)

Vznikne z cache L2 umístěné na desce, pokud se do ní vloží AMD K6 III, který už obsahuje jednak L1, tak L2 (256 KB pracující na stejné frekvenci jako procesor). Musí to ale podporovat Bios.

Cache paměti používají 3 režimy:

Write-Through:

(zápis skrz cache, přímý zápis) je nejstarší a nejpomalejší způsob.

Data ukládaná do cache zapisuje součastně i do operační paměti. Po čtení pak řadič cache porovná požadované adresy operační paměti s adresami již uloženými. Pokud jsou potřebná data v cache nalezena, jsou z ní přečtena.

Write-Back:

(opožděný zápis) data jsou zapisována do operační paměti až ve chvíli, kdy je to třeba, a nikoliv okamžitě při jejich změně. Data jsou zapisované pouze do cache a teprve při odstranění z cache jsou zapsány do operační paměti. Než se dat dostanou do operační paměti, mohou několikrát změnit svoji hodnotu. Tento způsob práce cache paměti vykazuje oproti předešlému způsobu vyšší výkon.

Pipelined Burst

je nejnovější a nejrychlejší systém práce, nyní používaný. Pracuje tak, že provede více operací zřetězeně – pokud čte z určité adresy informaci, přečte zároveň informace i z následujících adres. Přístupová doba k datům se pohybuje mezi 9 až 15 ns.

Cache paměti bývají organizovány jako tzv. asociativní paměti (vyhledává se podle obsahu a ne podle adresy). Asociativní paměti jsou tvořeny tabulkou (tabulkami), která obsahuje vždy sloupec, v němž jsou umístěny tzv. tagy (klíče), podle kterých se v asociativní paměti vyhledává. Dále jsou v tabulce umístěna data, která paměť uchovává, a popř. další informace nutné k zajištění správné funkce paměti.

Např.:

- informace o platnosti (neplatnosti) uložených dat
- informace pro realizaci LRU algoritmu
- informace protokolu MESI (Modified Exclusive Shared Invalid), který zajišťuje synchronizaci dat v cache pamětech v případě, že cache pamětí je v počítači více (u interních cache pamětí v okamžiku, kdy počítač obsahuje více procesorů).

Při přístupu do cache paměti je nutné zadat adresu, z níž data požadujeme. Tato adresa je buď celá, nebo její část považovaná za tag, který se porovnává s tagy v cache paměti.

Cache paměti jsou konstruovány jedním ze tří způsobů:

1. **plně asociativní**:

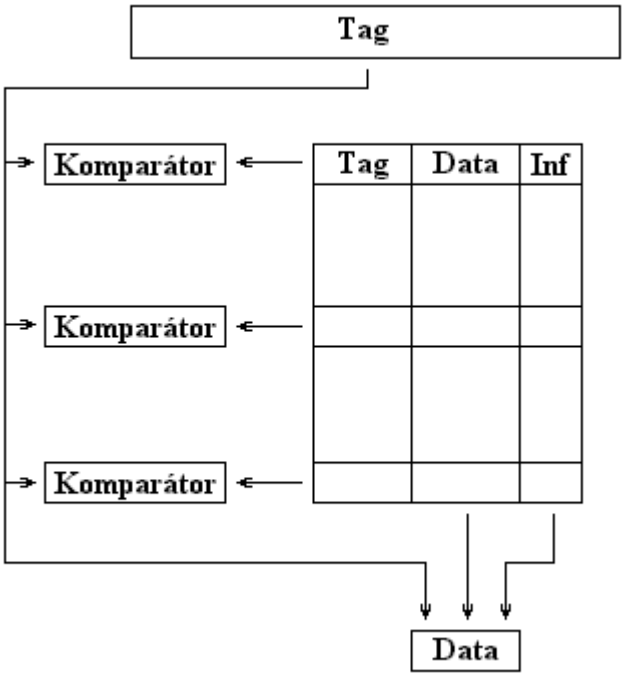


Schéma funkce plně asociativní cache paměti

U plně asociativní cache paměti je celá adresa, ze které se budou číst data (popř. na kterou se budou data zapisovat), brána jako tag. Tento tag je přiveden na vstup komparátorů (zařízení realizující porovnání dvou hodnot) společně s tagem v daném řádku tabulky. Pokud některý z tagů v tabulce je shodný se zadaným tagem na vstupu, ohlásí odpovídající komparátor shodu a znamená to, že požadovaná informace je v cache paměti přítomna a je možné ji použít. Pokud všechny komparátory signalizují neshodu, je to známka toho, že požadovaná informace v cache paměti není a je nutné ji zavést odjinud (externí cache paměť, operační paměť).

Tento způsob cache paměti má své nevýhody:

- Je nutné velké množství komparátorů

– Vzhledem k tomu, že se musí v každém řádku tabulky uchovávat celý tag, musí mít cache paměť velkou kapacitu, do které se tyto tagy ukládají a kterou není možné využít k uchovávání dat.

Z těchto důvodů se plně asociativní paměti prakticky nepoužívají.

2. **n-cestně asociativní**:

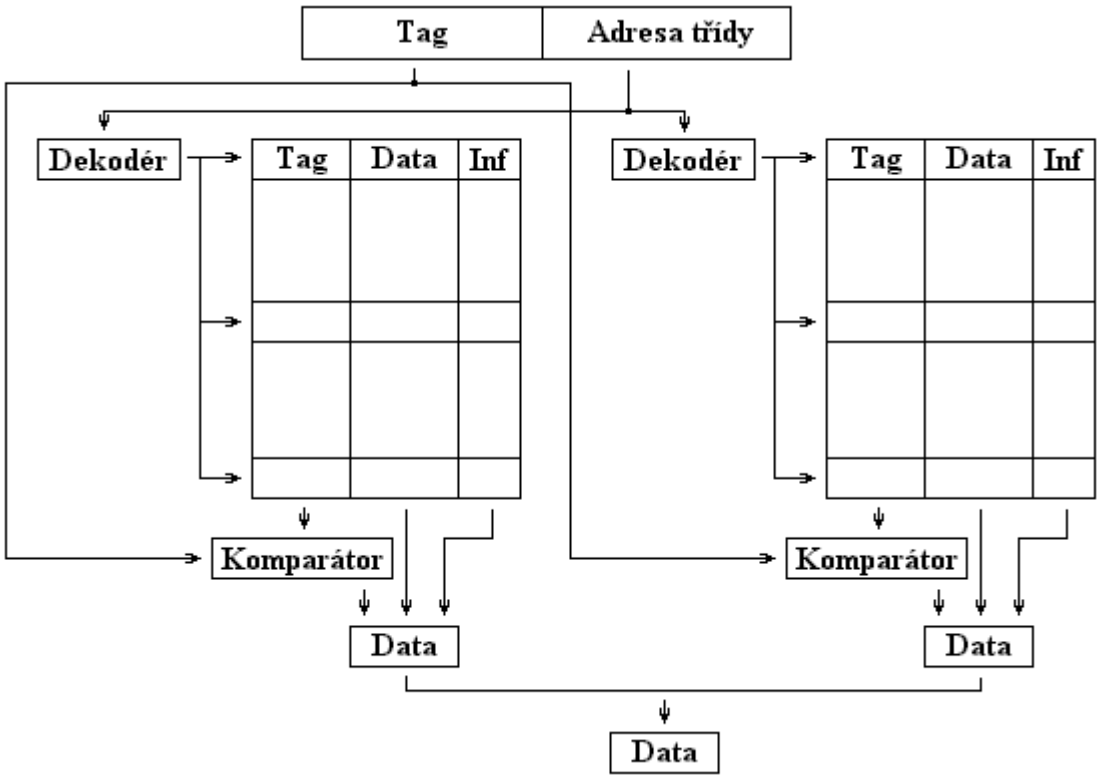


Schéma funkce n-cestně asociativní cache paměti (a=2)

N-cestně asociativní paměti pracují tak, že zadaná adresa se rozdělí na dvě části:

– tag
– adresa třídy

Adresa třídy je přivedena na n dekodérů (zařízení, které na základě vstupní hodnoty vybere jeden ze svých výstupů, na který umístí hodnotu log. 1 a na ostatní výstupy umístí hodnotu log. 0), které v každé tabulce vyberou jeden řádek. Z těchto řádků se potom vezmou příslušné tagy a komparátorem se porovnají se zadaným tagem. Podobně jako u plně asociativních cache pamětí pokud jeden z komparátorů signalizuje shodu, je

informace v cache paměti přítomna. V opačném případě je nezbytné informaci hledat jinde.

N-cestně asociativní paměti částečně eliminují nevýhody plně asociativních cache pamětí a v současnosti jsou nejpoužívanějším typem cache pamětí.

1. **přímo mapovaná**:

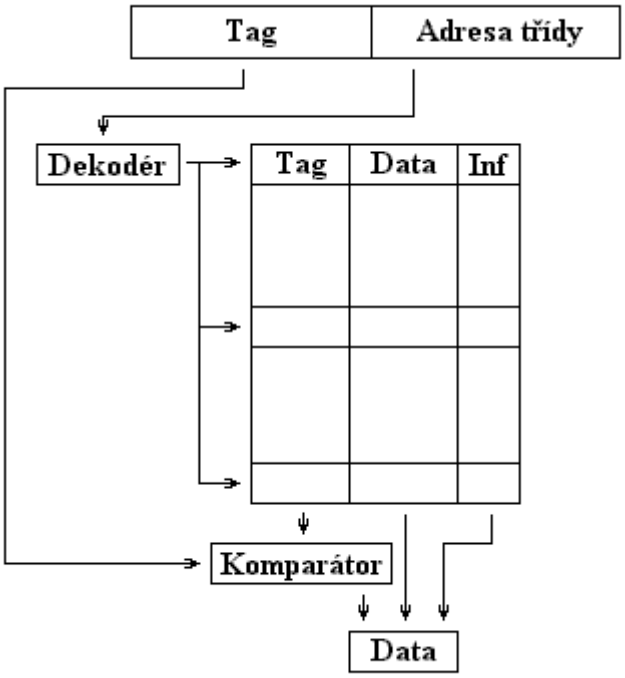


Schéma funkce přímo mapované cache paměti

Přímo mapovaná cache paměť je speciální případ n-cestně asociativní cache paměti pro n=1. Zadaná adresa je opět rozdělena na tag a adresu třídy. Adresa třídy je přivedena na vstup dekodéru, který podle ní vybere jeden řádek v tabulce. Tag na tomto řádku je následně porovnán se zadaným tagem, čímž se rozhodne o přítomnosti resp. nepřítomnosti informace v cache paměti.

Přímo mapovaná cache ve srovnání s n-cestně asociativní cache pamětí vykazuje nižší výkon, a proto její použití není dnes příliš časté.

Konkrétním příkladem cache paměti může být například interní cache paměť procesoru 80486, která je realizována jako 4-cestně asociativní cache paměť.

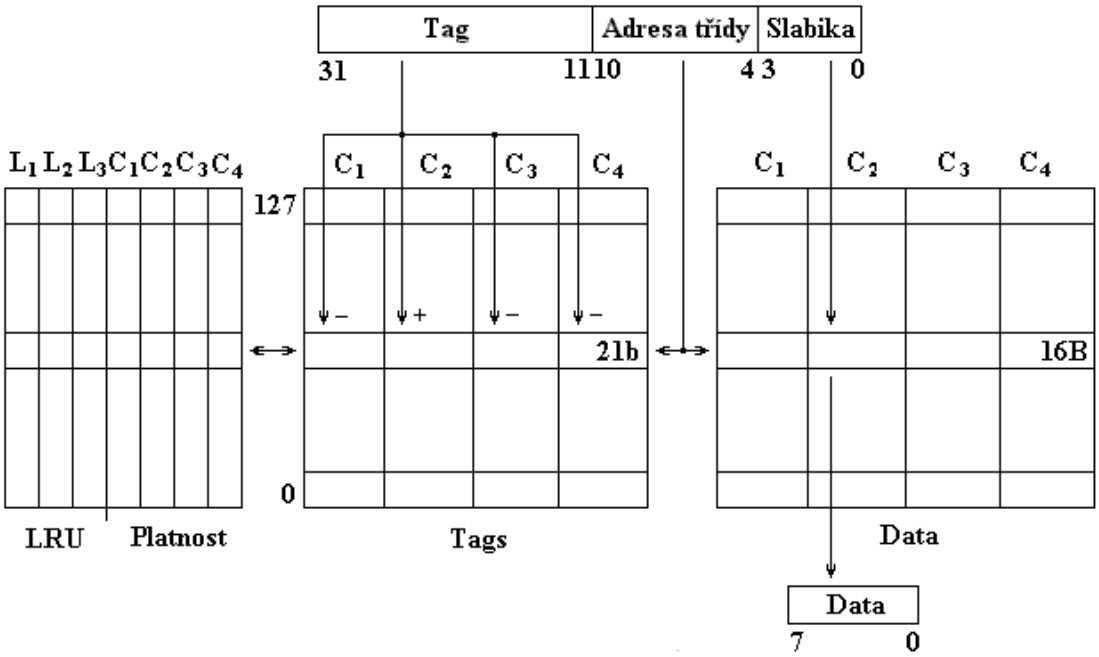


Schéma funkce interní cache paměti procesoru 80486 (4-cestně asociativní)

Adresa je rozdělena na tři části:

- **Tag** - horních 21 bitů
- **Adresa třídy** - 7 bitů => 128 řádků tabulky
- **Slabika** - dolní 4 bity

Adresa třídy je přivedena na dekodér, který vybere jeden řádek. Zadaný tag je dále komparátorem porovnán proti 4 tagům ve vybraném řádku. Pokud jeden z komparátorů ohlásí shodu, provede se výběr dat v datové části paměti. Datová část obsahuje v každém sloupci 16B, ze kterých je pomocí dolních 4 bitů zadané adresy vybrán jeden požadovaný byte.

Každý řádek cache paměti ještě obsahuje jeden bit, který říká, zda informace v daném sloupci jsou platné, a 3 bity pro realizaci pseudo-LRU algoritmu. Pomocí tří bitů nelze vždy určit nejdéle nepoužívaný blok cache paměti. Tento algoritmus je však jednoduchý a rychlý a díky tomu poskytuje dostatečný výkon.

Sdílené Cache více procesory musí mít následující vlastnosti:

MESI protokol definuje stavy CACHE paměti:

- modifikovaný
- výlučný

- sdílený
- vadný

Poznámka: Kromě externích a interních cache pamětí je možné se setkat i se specializovanými cache paměťmi umístěnými mezi operační pamětí a některými pomalejšími zařízeními (pevný disk, apod.).

Část V Měření výkonu CPU

Na celkovém výkonu počítače v reálných aplikacích se velkou měrou podílí procesor. Přesto neznamená, že má zcela rozhodující podíl. Vždyť záleží na optimalizaci celé sestavy, driverů, velikosti a rychlosti OP, HDD, grafické , zvukové, síťové karty a dalších součástí.

Změřit objektivně rychlost procesoru není v dnešní době vůbec jednoduché, neboť je nemůžeme vložit do stejných základních desek, protože např. K7 používá slot A, Pentia III FC-PGA. Základní desky jsou osazeny různými chipsety, které též do značné míry ovlivňují pravé výkon.

K testování jsem použil různé počítače, které měly zcela rozdílnou konfiguraci. Na všech byl nainstalován Windows 98. Abych co nejvíce eliminoval rozdílný stav nainstalovaných Windowsů a výše zmíněné rozdílné konfigurace, použil jsem pro testovaní programy SiSoft Sandra 2000 a WinTune98 (zaměřují se na testování jádra procesoru).

Konfigurace použitých počítačů:

Procesor:	Chipset:	Operační paměť	HDD
AMD K7 500 MHz	AMD 750	120 MB 100 MHz	20 GB IBM 7200 ot/s
AMD K6 III 400 MHz	Ali M1541	120 MB 100 MHz	8 GB Seagate
AMD K6 200 MHz	Intel 430 TX	64 MB 66 MHz	1,2 GB Seagate
Pentium III 500 MHz	Intel 440 BX	120 MB 100 MHz	8 GB Seagate
Celeron 400 MHz	VIA 82 6691	120 MB 66 MHz	20 GB Seagate
Pentium 200 MHz	Intel 430 TX	64 MB 66 MHz	2 GB Seagate
Pentium 75 MHz	SiS 85 C501	24 MB 66 MHz	1,2 GB WD
IDT 200 MHz	VIA VPX 97	32 MB 66 MHz	3 GB Seagate

Program SiSoft Sandra 2000 měří procesor v těchto oblastech:

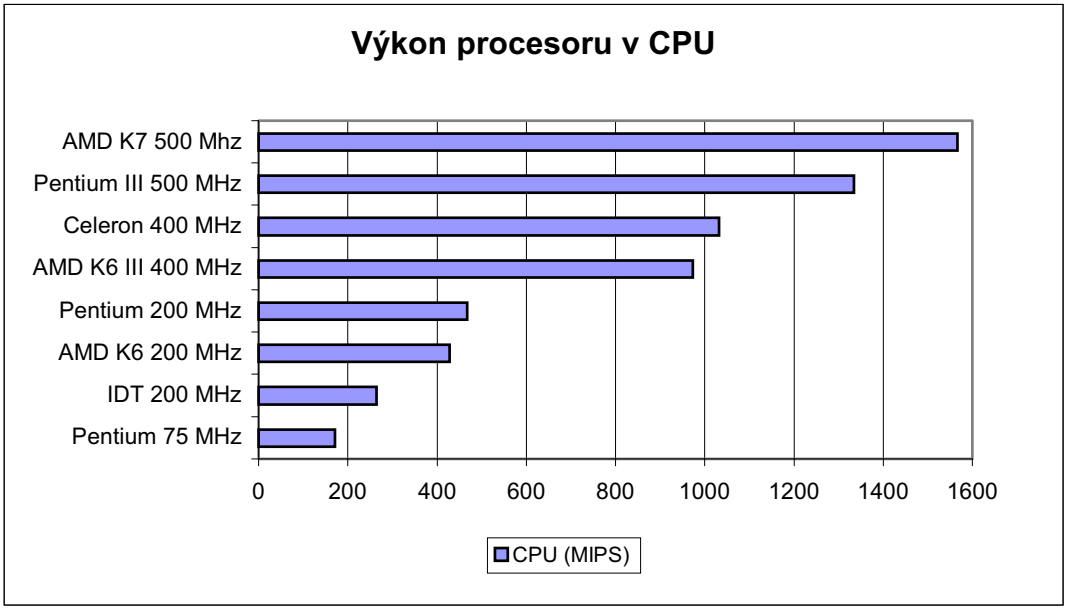
- CPU v pevné čárce, výsledky jsou v MIPS (mega instrukcí za sekundu)
- FPU v pohyblivé čárce, výsledky jsou v MFLOPS
- MMX testuje procesor na výkon v MMX instrukcích
- SSE, 3DNow! testuje procesor na výkon v SSE, 3DNow! instrukcích

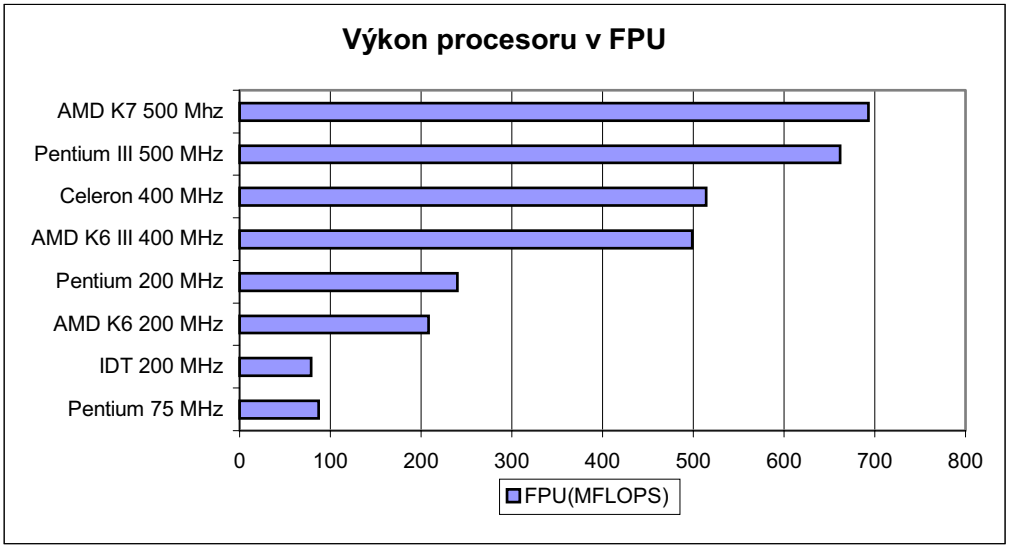
Program WinTune98 měří procesor v těchto oblastech:

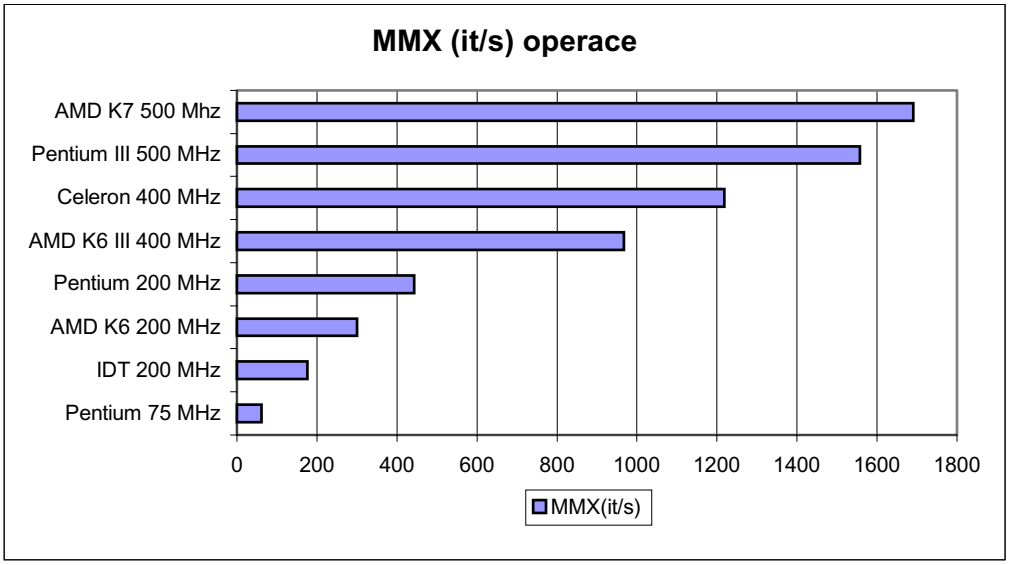
- CPU v pevné čárce
- FPU v pohyblivé čárce
- Integer application simulation: simuluje aplikace používající pracující v pevné čárce
- Floating point application simulation
- MMX application simulation

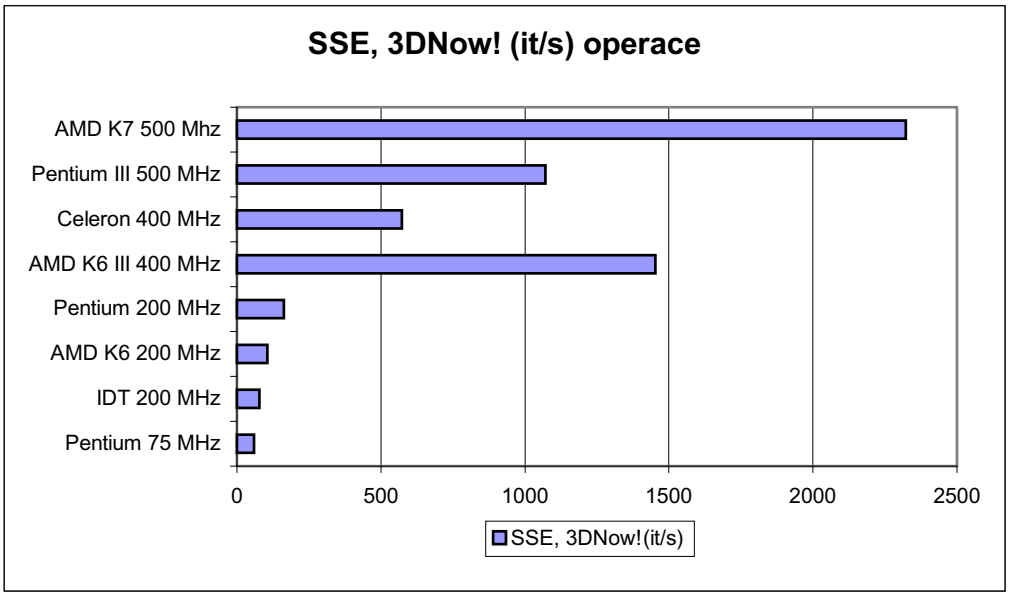
Testování procesoru v SiSoft Sandra 2000:

	Pentium 75 MHz	IDT 200 MHz	AMD K6 200 MHz	Pentium 200 MHz	AMD K6 III	Celeron 400 MHz	Pentium III 500 MHz	AMD K7 500 MHz
CPU (MIPS)	171	264	428	467	973	1032	1334	1566
FPU (MFLOPS)	87	79	208	240	499	514	662	693
MMX (it/s)	62	176	300	443	968	1218	1557	1691
SSE, 3DNow!(it/s)	59	78	106	163	1453	572	1072	2323



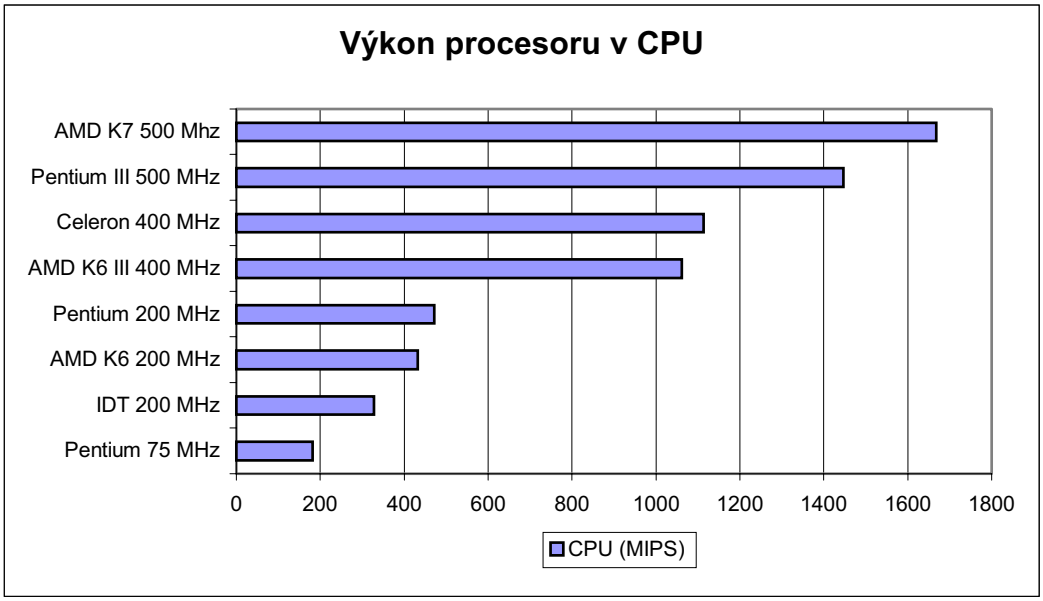

Výkon procesoru v FPU
AMD K7 500 Mhz
Pentium III 500 MHz
Celeron 400 MHz
AMD K6 III 400 MHz
Pentium 200 MHz
AMD K6 200 MHz
IDT 200 MHz
Pentium 75 MHz
0
100
200
300
400
500
600
700
800
FPU(MFLOPS)

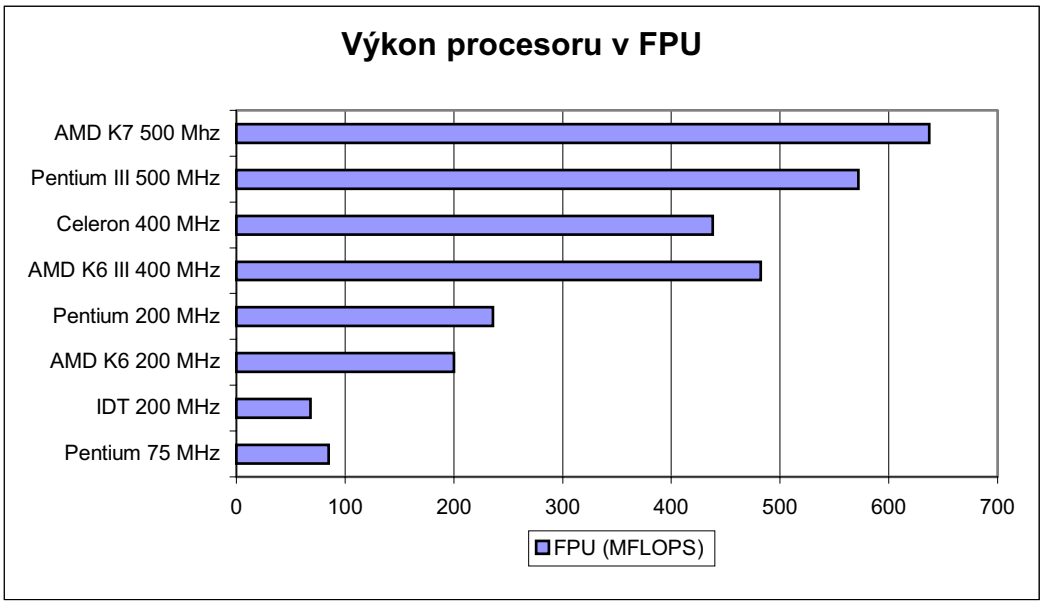

MMX (it/s) operace
AMD K7 500 Mhz
Pentium III 500 MHz
Celeron 400 MHz
AMD K6 III 400 MHz
Pentium 200 MHz
AMD K6 200 MHz
IDT 200 MHz
Pentium 75 MHz
0
200
400
600
800
1000
1200
1400
1600
1800
MMX(it/s)

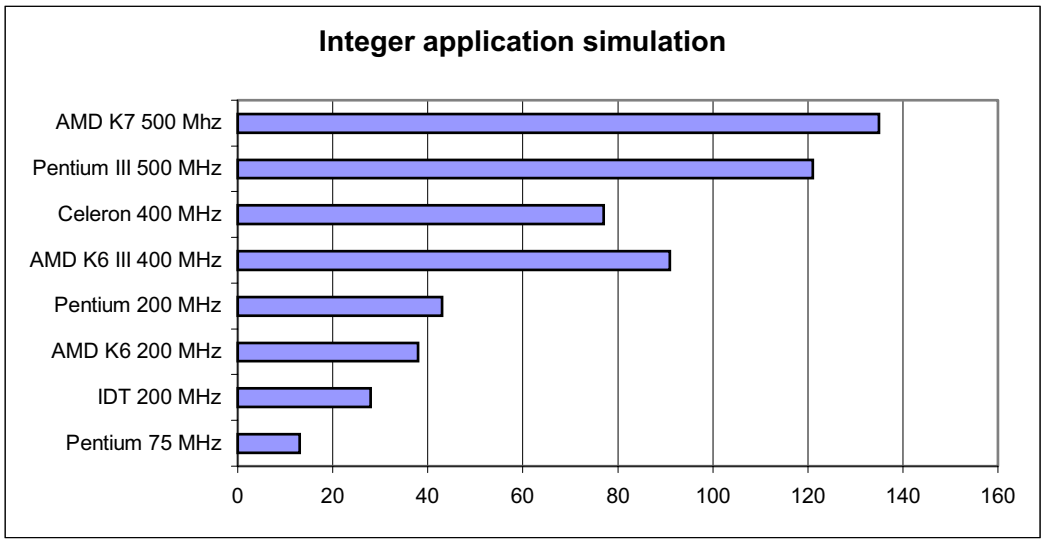

SSE, 3DNow! (it/s) operace
AMD K7 500 Mhz
Pentium III 500 MHz
Celeron 400 MHz
AMD K6 III 400 MHz
Pentium 200 MHz
AMD K6 200 MHz
IDT 200 MHz
Pentium 75 MHz
0
500
1000
1500
2000
2500
SSE, 3DNow!(it/s)

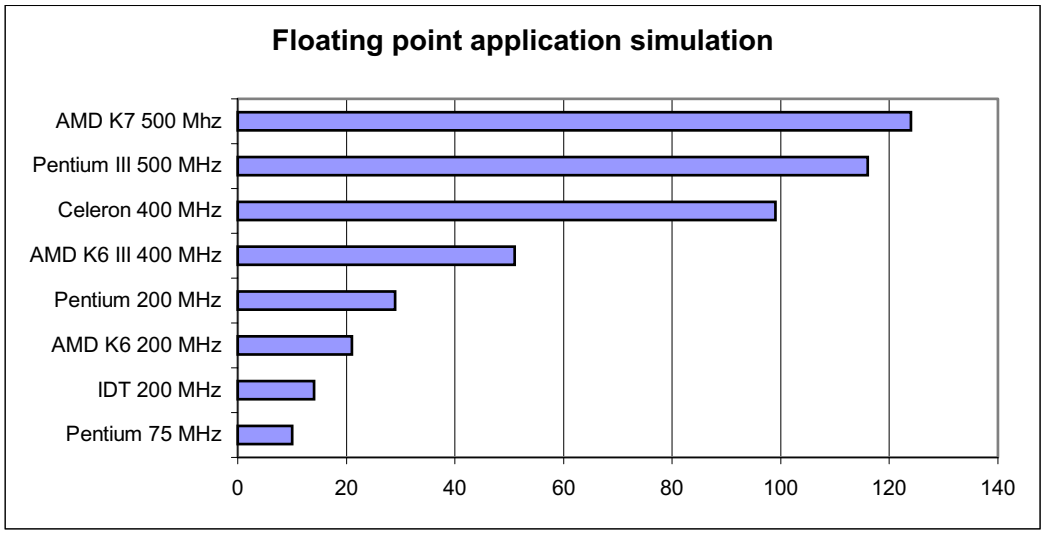
Testování procesoru ve WinTune98:

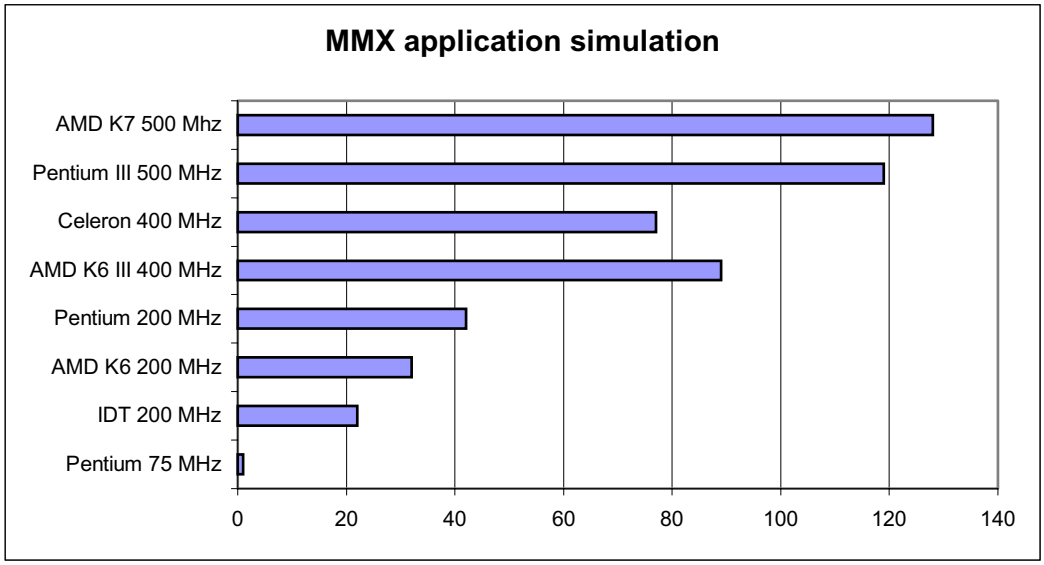
	Pentium 75 MHz	IDT 200 MHz	AMD K6 200 MHz	Pentium 200 MHz	AMD K6 III 400 MHz	Celeron 400 MHz	Pentium III 500 MHz	AMD K7 500 MHz
CPU (MIPS)	182	328	432	472	1062	1114	1446	1668
FPU (MFLOPS)	85	68	200	236	482	438	572	637
Integer appl. sim.	13	28	38	43	91	77	121	135
Floating point a. s.	10	14	21	29	51	99	116	124
MMX appl. sim.	1	22	32	42	89	77	119	128






Integer application simulation
AMD K7 500 Mhz
Pentium III 500 MHz
Celeron 400 MHz
AMD K6 III 400 MHz
Pentium 200 MHz
AMD K6 200 MHz
IDT 200 MHz
Pentium 75 MHz
0
20
40
60
80
100
120
140
160

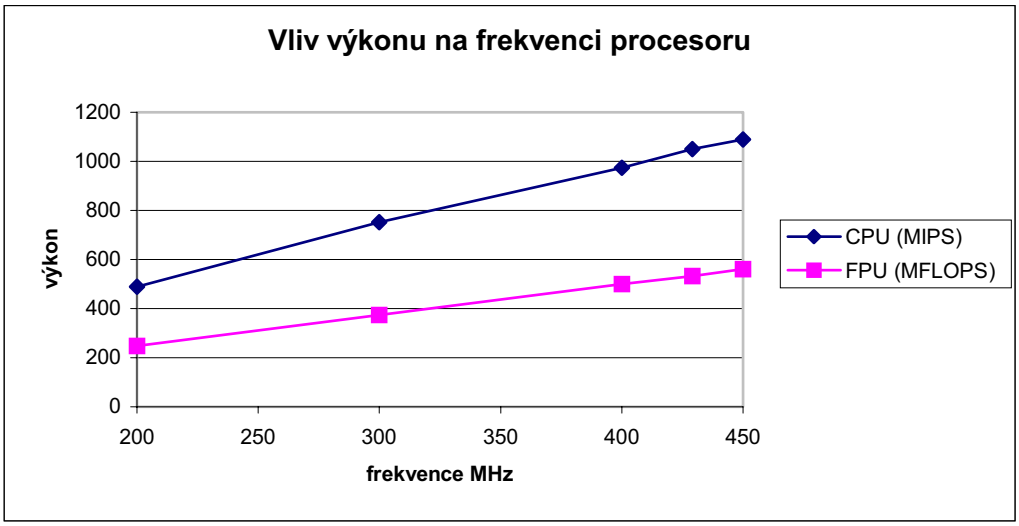

Floating point application simulation
AMD K7 500 Mhz
Pentium III 500 MHz
Celeron 400 MHz
AMD K6 III 400 MHz
Pentium 200 MHz
AMD K6 200 MHz
IDT 200 MHz
Pentium 75 MHz
0
20
40
60
80
100
120
140

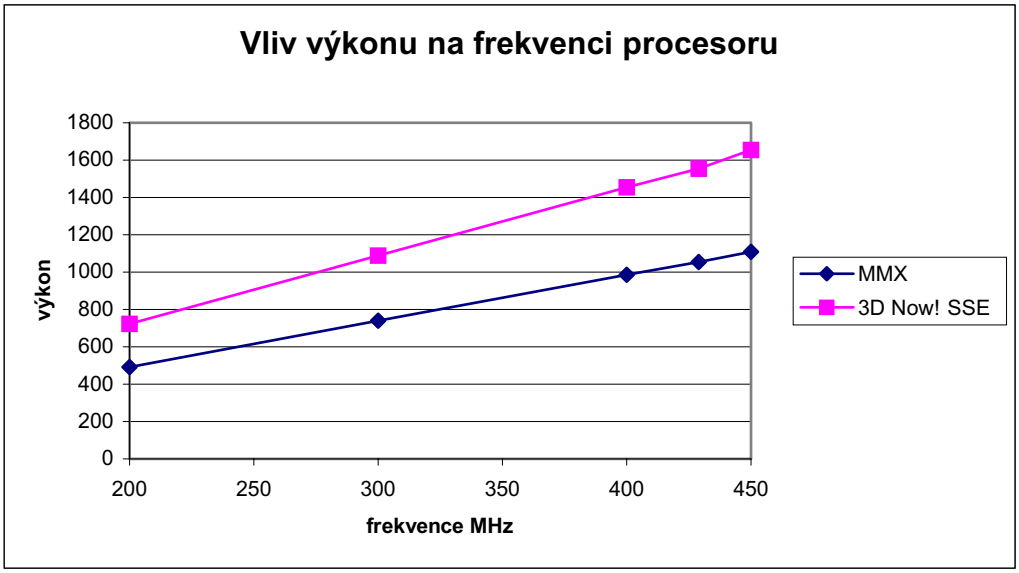

MMX application simulation
AMD K7 500 Mhz
Pentium III 500 MHz
Celeron 400 MHz
AMD K6 III 400 MHz
Pentium 200 MHz
AMD K6 200 MHz
IDT 200 MHz
Pentium 75 MHz
0
20
40
60
80
100
120
140

Vliv přetaktování na výkon CPU:

K testu jsem použil AMD K6 III na 400 MHz. Postupně jsem měnil frekvenci sběrnice a velikost vnitřního násobiče. Jak je z výsledku patrno, je výkon procesoru přímo závislý na frekvenci (neberu v úvahu menší nepřesnosti vzniklých při měření pohybující se do 0,5 %).

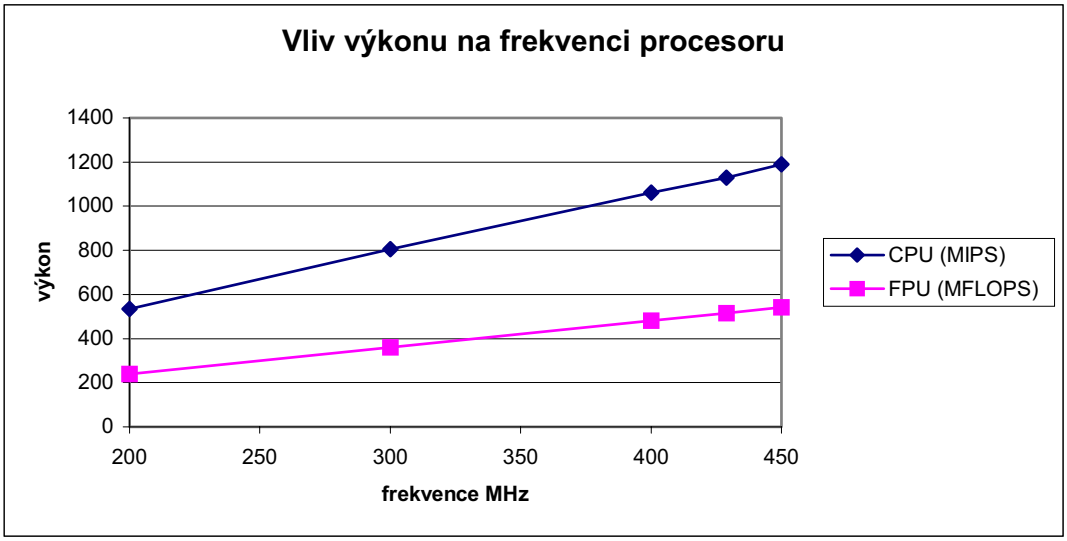
Frekvence	200 MHz (3x66)	300 MHz (3x100)	400 MHz (4x100)	429 MHz (4.5x95)	450 MHz (4.5x100)
CPU (MIPS)	490	753	973	1051	1089
FPU (MFLOPS)	248	373	499	533	561
MMX	491	739	986	1055	1110
3D Now! SSE	724	1089	1453	1554	1653

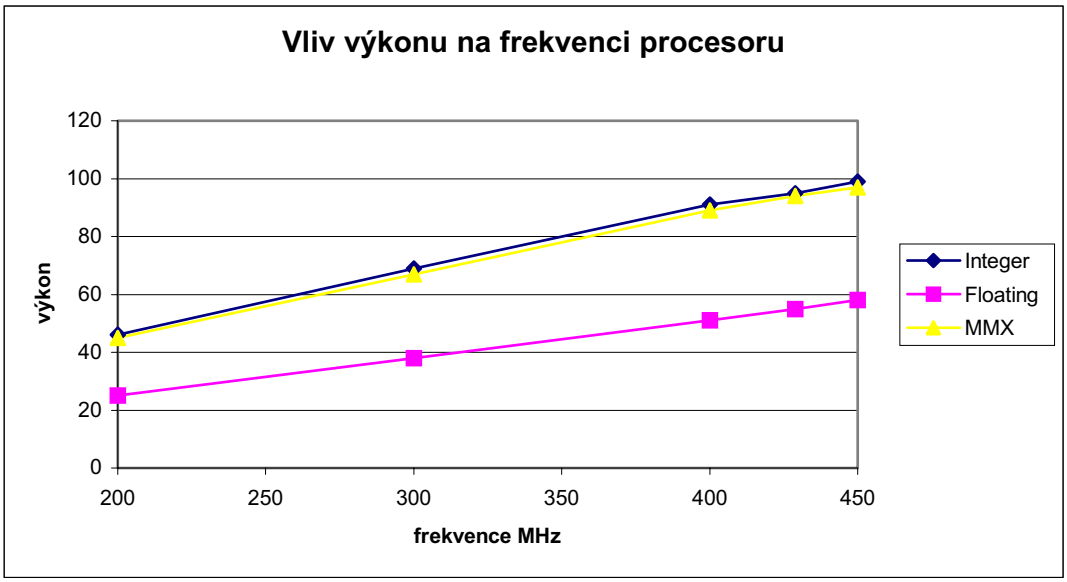




Testování procesoru ve WinTune98:

Frekvence	200 MHz (3x66)	300 MHz (3x100)	400 MHz (4x100)	429 MHz (4.5x95)	450 MHz (4.5x100)
CPU (MIPS)	535	804	1062	1130	1189
FPU (MFLOPS)	240	360	482	516	542
Integer	46	69	91	95	99
Floating	25	38	51	55	58
MMX	45	67	89	94	97





Vliv frekvence sběrnice na výkon procesoru

Pro pokus jsem přetaktoval procesor na 300 MHz a to na 5,5 x 60 a 3 x 100. Zjistil jsem, že na výsledném výkonu procesoru to nemá příliš velký vliv. Je to ale způsobeno testovacími aplikacemi, které měří pouze vnitřní výkon CPU a už se nezaměřují např. na datovou propustnost sběrnice. Je ale samozřejmé, že v případě častých požadavků do operační paměti by se rychlejší sběrnice a tím pádem kratší vybavovací doba musela projevit.

Pro demonstraci jsem nezvolil graf, neboť rozdíly hodnot jsou příliš malé a jednotlivé grafy by splývaly.

Testování procesoru ve SiSoft Sandra 2000:

	5,5x60	3x100
CPU (MIPS)	739	753
FPU (MFLOPS)	373	373
MMX	737	739
3D Now! SSE	1086	1089

Testování procesoru ve WinTune98:

	5,5x60	3x100
CPU (MIPS)	786	804
FPU (MFLOPS)	358	360
Integer	65	69
Floating	38	38
MMX	64	67

Závěr:

Oblast počítačových procesorů je oblastí velmi rozsáhlou, ale i nevděčnou. Jakékoli informace jsou v době svého vydání tak trochu zastaralé, neboť hardwarové firmy zaplavují trh každý měsíc novými modely procesorů, z nichž každé mají své přednosti a specifika. V průběhu vývoje se také procesory rozdělily na několik menších podskupin, z nichž každá se specializuje na poněkud odlišné úlohy. Je proto velmi problematické porovnat jejich vlastnosti napříč různými systémy či platformami.

Tato práce se rozhodně nesnaží o detailní popis všech procesorů, jejím cílem je spíše nabídnout čtenáři ucelený pohled do vzrušujícího a nesmírně dynamicky se rozvíjejícího prostředí počítačových procesorů. Snaží se poskytnou základní informace o důležitých modelových řadách ať už RISC či CISC technologií. Není možné v rozsahu této práce popsat všechna zajímavá fakta těchto procesorů a tak se práce zaměřuje hlavně na důležité a (v kontextu s ostatními) porovnatelné údaje.

Ačkoli jsou porovnání výkonu jednotlivých procesorů velmi obtížně realizovatelná (těžko se eliminují specifické podmínky jednotlivých systémů jejich prostředků apod.), pokouší se tato práce alespoň o částečné srovnání procesorů, které jsou v současnosti na vrcholu prodejnosti, neboť právě tento ukazatel je rozhodující pro velké množství zákazníků.

Důraz byl také kladen na představení nejnovějších technologií a představení nejnovějších typů procesorů, z nichž některé jsou prozatím pouze ve fázi návrhů. Práce se tak snaží nastínit i možnou budoucnost celého tohoto odvětví, neboť procesor je bezesporu důležitým prvkem, který ještě po dlouhou dobu bude do velké míry určovat celkový výkon počítačové sestavy.

Ať už bude další vývoj jakkoli překotný, tato práce by Vám měla poskytnout alespoň rámcovou představu o tom, jakou cestu už procesory urazily a jakým směrem se asi budou ubírat dále. Snad tato práce poslouží v orientaci v džungli nových, ale i starších modelů, frekvencí a slotů, které se v průběhu vývoje objevily. Snad Vám také pomůže poznat „divoké srdce počítače“ bijící pod jeho povrchem – počítačový procesor.

Seznam použitých zdrojů:

- Lačezar Ličev, David Morkes : Procesory 1999
- Minasi M. : Velký průvodce hardware 1997
- Chip 5/96,3/00
- ComputerWorld 43/96
- http:// zive.cz
- http://www.svethardware.cz
- http://www.svet.namodro.cz
- http://www.uniscomp.cz/trendyteh/clanky/index.htm
- http://www.pctest.cz
- http://www.intel.com
- http://www.amd.com
- http://www.crusoe.com
- http://www.via.com.tw
- http://www.cyrix.com